

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): AKIMOTO, et al
 Serial No.: Not assigned
 Filed: June 26, 2001
 Title: IMAGE DISPLAY APPARATUS
 Group: Not assigned



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
 Patents and Trademarks
 Washington, D.C. 20231

June 26, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-201442, filed June 29, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

William I. Solomon
 Registration No. 28,565

WIS/amr
 Attachment
 (703) 312-6600

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc979 U.S. PTO
09/888644
06/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 6月29日

出願番号
Application Number:

特願2000-201442

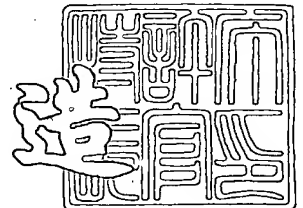
出願人
Applicant(s):

株式会社日立製作所

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3095501

【書類名】 特許願

【整理番号】 1100012001

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 画像表示装置

【請求項の数】 26

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 秋元 肇

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 三上 佳朗

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地
株式会社 日立製作所 ディスプレイグループ内

【氏名】 宮沢 敏夫

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

複数の画素により構成された表示部と、
該表示部の制御を行う制御部を有する画像表示装置において、
デジタル表示データをアナログ画像信号に変換する D A 変換部を有し、
前記 D A 変換部は、第 1 の D A 変換部と、第 2 の D A 変換部により構成され、
前記第 1 の D A 変換部の動作時の消費電力は、前記第 2 の D A 変換部の動作時の消費電力よりも小さく、

前記 D A 変換部は、前記制御部の命令に応じて前記第 1 の D A 変換部と前記第 2 の D A 変換部のどちらかを動作させて前記表示部に変換したアナログ画像信号を出力し、

前記表示部は、前記制御部の命令に応じて前記表示部の独立表示画素の数を変えて前記アナログ画像信号に応じて表示を行う画像表示装置。

【請求項 2】

前記表示部には、該表示部の走査の制御を行うゲート線シフトレジスタが接続されており、

前記制御部は前記ゲート線シフトレジスタに命令を出力し、

該ゲート線シフトレジスタにより前記表示部の独立表示画素の数を変えて表示を行う請求項 1 の画像表示装置。

【請求項 3】

前記制御部は、モード切り替え命令に応じて前記 D A 変換部及び前記ゲート線シフトレジスタに命令を行う請求項 2 の画像表示装置。

【請求項 4】

前記モード切り替え命令は、前記第 1 の D A 変換部により変換処理を行わせる第 1 のモードと、前記第 2 の D A 変換部により変換処理を行わせる第 2 のモードであり、

前記表示部は、複数のゲート線と、該複数のゲート線に交差するように配置し

た複数の信号線により、該複数のゲート線と信号線により囲まれた領域に対応して画素が構成されているものであり、

前記ゲート線シフトレジスタは、前記第 1 のモードによる命令の場合に、前記複数のゲート線のうち少なくとも 2 本のゲート線を同じタイミングで制御し、

前記第 1 の D A 変換部は変換した 1 つのアナログ画像信号を少なくとも 2 本の信号線に出力する請求項 3 の画像表示装置。

【請求項 5】

容量の異なる 2 つのメモリを有し、

該 2 つのメモリは、前記第 1 の D A 変換部及び前記第 2 の D A 変換部に、それぞれ対応している請求項 1 ～ 3 のいずれかに記載の画像表示装置。

【請求項 6】

前記表示部、前記 D A 変換部、前記ゲート線シフトレジスタ、及び前記 2 つのメモリのうちの容量の小さいメモリは同一の基板上に配置され、

該容量の小さいメモリは、poly-Si により形成されている請求項 5 の画像表示装置。

【請求項 7】

前記第 1 の D A 変換部には、前記容量の小さいメモリが対応しており、

前記第 2 の D A 変換部には、容量の大きいメモリが対応している請求項 5 または 6 の画像表示装置。

【請求項 8】

前記第 1 の D A 変換部及び前記第 2 の D A 変換部は、それぞれ bit 数の異なるアナログ画像信号に変換するものである請求項 1 ～ 7 のいずれかに記載の画像表示装置。

【請求項 9】

前記第 1 の D A 変換部及び前記第 2 の D A 変換部は、それぞれ最大駆動周波数が異なるアナログ画像信号に変換するものである請求項 1 ～ 7 のいずれかに記載の画像表示装置。

【請求項 10】

前記第 1 の D A 変換部は、2 値の信号階調のアナログ画像信号を出力する請求

項 1 ～ 9 のいずれかに記載の画像表示装置。

【請求項 1 1】

前記表示部に光を供給する照明手段を有し、

該照明手段は、前記第 2 のモードの場合に、前記表示部に光を供給する請求項 1 ～ 1 0 のいずれかに記載の画像表示装置。

【請求項 1 2】

複数の画素により構成された表示部と、

該表示部の制御を行う制御部を有する画像表示装置において、

デジタル表示データをアナログ画像信号に変換する D A 変換部を有し、

前記 D A 変換部は、第 1 の D A 変換部と、第 2 の D A 変換部により構成され、

前記第 1 の D A 変換部及び前記第 2 の D A 変換部は、それぞれ bit 数の異なるアナログ画像信号に変換するものである画像表示装置。

【請求項 1 3】

前記制御部の命令に応じて、前記第 1 の D A 変換部、または前記第 2 の D A 変換部の一方により、デジタル表示データをアナログ画像信号に変換する請求項 1 2 の画像表示装置。

【請求項 1 4】

前記制御部は、モード切り替え命令に応じて前記第 1 の D A 変換部または前記第 2 の D A 変換部のいずれかに命令を行う請求項 1 3 の画像表示装置。

【請求項 1 5】

容量の異なる 2 つのメモリを有し、

該 2 つのメモリは、前記第 1 の D A 変換部及び前記第 2 の D A 変換部にそれぞれ対応している請求項 1 2 ～ 1 4 のいずれかに記載の画像表示装置。

【請求項 1 6】

前記表示部、前記 D A 変換部、前記ゲート線シフトレジスタは同一の基板上に配置されており、

前記表示部は矩形で形成されており、

前記 D A 変換部の第 1 の D A 変換部と第 2 の D A 変換部は、前記表示部の上下に配置されている請求項 1 2 ～ 1 5 のいずれかに記載の画像表示装置。

【請求項 17】

前記基板上には、前記 2 つのメモリのうちの容量の小さいメモリも配置されており、

該容量の小さいメモリは、poly-Si により形成されている請求項 15 の画像表示装置。

【請求項 18】

前記モード切り替え命令は、前記第 1 の DA 変換部により変換処理を行わせる第 1 のモードと、前記第 2 の DA 変換部により変換処理を行わせる第 2 のモードであり、

前記第 1 の DA 変換部は、前記容量の小さいメモリが対応しており、

前記第 2 の DA 変換部には、容量の大きいメモリが対応している請求項 15 ～ 17 のいずれかに記載の画像表示装置。

【請求項 19】

前記表示部は、前記制御部の命令に応じて前記表示部の独立表示画素の数を変えて前記アナログ画像信号に応じて表示を行う請求項 13 ～ 18 のいずれかに記載の画像表示装置。

【請求項 20】

前記第 1 の DA 変換部は、2 値の信号階調のアナログ画像信号を出力する請求項 12 ～ 19 のいずれかに記載の画像表示装置。

【請求項 21】

前記表示部に光を供給する照明手段を有し、

該照明手段は、前記第 2 のモードの場合に、前記表示部に光を供給する請求項 12 ～ 20 のいずれかに記載の画像表示装置。

【請求項 22】

複数の画素により構成された表示部と、

該表示部の制御を行う制御部を有する画像表示装置において、

デジタル表示データをアナログ画像信号に変換する DA 変換部を有し、

前記 DA 変換部は、第 1 の DA 変換部と、第 2 の DA 変換部により構成され、

前記第 1 の DA 変換部及び前記第 2 の DA 変換部は、それぞれフレーム周波数

が異なるアナログ画像信号に変換するものである画像表示装置。

【請求項 2 3】

前記制御部の命令に応じて、前記第 1 の D A 変換部、または前記第 2 の D A 変換部の一方により、デジタル表示データをアナログ画像信号に変換する請求項 2 2 の画像表示装置。

【請求項 2 4】

前記制御部は、モード切り替え命令に応じて前記第 1 の D A 変換部または前記第 2 の D A 変換部のいずれかに命令を行う請求項 2 3 の画像表示装置。

【請求項 2 5】

前記第 1 の D A 変換部は、2 値の信号階調のアナログ画像信号を出力する請求項 2 2 ～ 2 4 のいずれかに記載の画像表示装置。

【請求項 2 6】

前記表示部に光を供給する照明手段を有し、

該照明手段は、前記第 2 のモードの場合に、前記表示部に光を供給する請求項 2 2 ～ 2 5 のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は特に低消費電力で画像表示が可能な、液晶画像表示装置に関する。

【0 0 0 2】

【従来の技術】

以下、図 2 3 を用いて従来の技術に関して説明する。

【0 0 0 3】

図 2 3 は従来の技術を用いた T F T 液晶表示パネルの構成図である。液晶容量 2 0 1 と画素スイッチ 2 0 2 を有する表示画素 2 0 0 がマトリクス状に配置され、画素スイッチ 2 0 2 のゲートはゲート線 2 0 3 を介してゲート線シフトレジスタ 2 0 4 に接続されている。また画素スイッチ 2 0 2 の一端は信号線 2 0 5 を介して D A 変換器 2 0 6 A ないし D A 変換器 2 0 6 B に接続されている。D A 変換器 2 0 6 A, B にはラインメモリ 2 0 7 A, B が接続されており、ラインメモリ

2 0 7 A, B には表示データ入力線 2 0 9 A, B とシフトレジスタ 2 0 8 A, B が入力している。以上の各構成回路部分は、同一基板上に poly-Si TFT を用いて構成されている。なおここで DA 変換器 2 0 6, ラインメモリ 2 0 7, シフトレジスタ 2 0 8 とから構成される画素駆動回路は図示のように画素部の上下に設けられているが、例えば奇数列の信号線 2 0 5 は上部の駆動回路へ、偶数列の信号線 2 0 5 は下部の駆動回路へと接続されている。

【 0 0 0 4 】

以下、本従来例の動作を説明する。表示データ入力線 2 0 9 A, B を介して入力されたデジタル表示データは、シフトレジスタ 2 0 8 A, B によってラインメモリ 2 0 7 A, B に順次書込まれる。次いでこのラインメモリ 2 0 7 A, B に記憶された表示データは DA 変換器 2 0 6 A, B に並列に入力され、DA 変換器 2 0 6 A, B はこれをアナログ画像信号電圧として信号線 2 0 5 上に出力する。このときゲート線シフトレジスタ 2 0 4 によって選択された所定の表示画素行の画素スイッチ 2 0 2 がターンオンすると、上記のアナログ画像信号電圧は選択された表示画素の液晶容量 2 0 1 に書き込まれる。以上の動作によって、本 TFT 液晶パネルは入力された表示データに基づく画像表示が可能となる。なおここで上記のように奇数列の信号線 2 0 5 は上部の駆動回路へ、偶数列の信号線 2 0 5 は下部の駆動回路へと接続されているため、上下の駆動回路は同期して駆動され、一画面の表示は上下の駆動回路で分担される。なおここで上下の回路は同一の条件で画素を駆動する役割を担っているため、明らかに両者は基本的に同一の回路構成である。

【 0 0 0 5 】

なお本従来技術に関しては、例えば I S S C C (International Solid-State Circuits Conference) 2000, Digest of technical papers, pp.188-189 に詳しく記載されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

I M T - 2 0 0 0 (International Mobile Telecommunications 2000) の実用化に伴い、携帯情報機器に Q C I F (Quarter common intermediate format, 1 4 4

×176画素)やCIF(288×352画素)以上の画素数を用いた高品位の画像表示パネルを搭載したいという要求が強まっている。その一方で二次電池を軽量化し、携帯情報機器を軽くすることを目的として、画像表示パネルに対しては同時に低消費電力化の要求も日増しに強くなっている。これに対して上記従来技術によれば、液晶パネル表示画像の高品位化と低消費電力化を両立させて行くことは本質的に困難であった。これは画素数を向上させて表示画像の高品位化を図れば、液晶パネルの動作周波数の増加を招くため、必然的に消費電力が増加してしまうからである。

【0007】

本発明の目的は、低消費電力の画像表示装置を提供することにある。

【0008】

別の目的としては、低消費電力と高品位画像を両立する画像表示装置を提供することにある。

【0009】

【課題を解決するための手段】

本出願の画像表示装置の第一の実施形態によると、複数の画素により構成された表示部と、この表示部の制御を行う制御部と、デジタル表示データをアナログ画像信号に変換するDA変換部を有しており、このDA変換部は、第1のDA変換部と第2のDA変換部により構成されて、第1のDA変換部の動作時の消費電力は、第2のDA変換部の動作時の消費電力よりも小さく、また、このDA変換部は、制御部の命令に応じて第1のDA変換部と第2のDA変換部のどちらかを動作させて、表示部に変換したアナログ画像信号を出力し、表示部は制御部の命令に応じて表示部の独立表示画素の数を変えてアナログ画像信号に応じた表示を行うというものである。

【0010】

本出願の画像表示装置の第二の実施形態によると、複数の画素により構成された表示部と、表示部の制御を行う制御部と、デジタル表示データをアナログ画像信号に変換するDA変換部を有し、このDA変換部は、第1のDA変換部と、第2のDA変換部により構成され、第1のDA変換部及び第2のDA変換部は、そ

れぞれbit数の異なるアナログ画像信号に変換するというものである。

【 0 0 1 1 】

本出願の第三の実施形態によると、複数の画素により構成された表示部と、この表示部の制御を行う制御部と、デジタル表示データをアナログ画像信号に変換するDA変換部を有し、このDA変換部は、第1のDA変換部と、第2のDA変換部により構成され、第1のDA変換部及び第2のDA変換部は、それぞれ最大駆動周波数が異なるアナログ画像信号に変換するというものである。

【 0 0 1 2 】

【発明の実施の形態】

本発明について以下実施例により説明する。

(第一の実施例)

図1～図12を用いて、本発明の第一の実施例に関して説明する。

【 0 0 1 3 】

始めに本実施例の全体構成に関して述べる。

【 0 0 1 4 】

図1は本実施例であるpoly Si-TFT液晶表示パネルの構成図である。

【 0 0 1 5 】

液晶容量1と画素スイッチ2を有する表示画素10がマトリクス状に配置されて表示部50を構成しており、画素スイッチ2のゲートはゲート線3を介してゲート線シフトレジスタ4に接続されている。また画素スイッチ2の一端は信号線5を介して低消費電力DA変換器6及び高精度DA変換器11に接続されている。低消費電力DA変換器6にはSRAMで構成されるフレームメモリ7が入力しており、フレームメモリ7にはタイミングコントローラ(TCON)14が接続されている。尚、このTCON14は、表示パネルの制御を行うものであるので、パネルコントローラと表現しても良い。高精度DA変換器11にはラインメモリ12が入力しており、ラインメモリ12には更にTCON14が入力している。TCON14にはDRAMで構成されるフレームメモリ13が入力し、更にバス18の一端が接続されている。バス18には他に主演算処理ユニット(MPU)15、入出力回路(I/O)16等が接続されており、I/O16はバックライ

トユニット17を制御している。尚、TCON14, MPU15, I/O16を含めて制御部20として呼ぶこともできる。この中にバス18は、この制御部20の中に含めても良いし含めなくても良い。ここで表示画素10, ゲート線シフトレジスタ4, 低消費電力DA変換器6, フレームメモリ7, 高精度DA変換器11, ラインメモリ12等の画素駆動回路の各構成要素は、単一のガラス基板19上にpoly-Si TFTを用いて構成されており、これらの構成要素にはTCON14によって制御タイミング信号が供給されている。一方TCON14, フレームメモリ7, MPU15, I/O16等は単結晶Si-LSIチップで構成されている。なおここでは液晶の共通電極、カラーフィルタやバックライト構成等、カラーTFTパネルの構築に必要な一般的な構造やバス18の先の記載は、図面の簡略化のために省略している。

【0016】

次に本実施例の全体の動作を説明する。なお各部分の詳細な動作に関しては、この後に個々の構成要素の説明の中で順次述べて行くことにする。

【0017】

MPU15はTCON14を介してフレームメモリ7とフレームメモリ13にデジタル画像表示データを転送し、更にTCON14を介して表示パネルの画素駆動回路を制御する。ここで本実施例は「低消費電力表示モード」と「高品位表示モード」の2つの表示モードを有している。「低消費電力表示モード」選択時には、MPU15とTCON14は専らフレームメモリ7を用いてパネルへの書き込みやフレームメモリ7からMPU15への画像表示データの読み出しを行う。フレームメモリ7に書き込まれた画像表示データは、順次読み出されて低消費電力DA変換器6に入力され、アナログ画像信号となってゲート線シフトレジスタ4で選択された画素の液晶容量1に書き込まれる。この「低消費電力表示モード」時には、高精度DA変換器11, ラインメモリ12, DRAMであるフレームメモリ13等は基本的には駆動されないため、これらが電力を消費することはない。このとき駆動されている回路は後に述べるように画素行単位で並列出力及びDA変換が可能なフレームメモリ7や低消費電力DA変換器6等であるため、駆動周波数を低く抑えることによって液晶表示パネルの低消費電力駆動を可能にし

ている。

【 0 0 1 8 】

次に「高品位表示モード」選択時には、MPU 1 5 は専らフレームメモリ 1 3 を用いてパネルへの書込みやフレームメモリ 1 3 から MPU 1 5 への画像表示データの読み出しを行う。フレームメモリ 1 3 に書き込まれた画像表示データは、順次読み出されて TCON 1 4 , ラインメモリ 1 2 を介して高精度 DA 変換器 1 1 に入力され、アナログ画像信号電圧となってゲート線シフトレジスタ 4 で選択された画素の液晶容量 1 に書き込まれる。この「高品位表示モード」時には、基本的に低消費電力 DA 変換器 6 は駆動されないが、フレームメモリ 7 には「低消費電力表示モード」表示時の画像表示データを貯えておくことができる。フレームメモリ 7 はパネル額縁の省面積化のためにあまり大容量に設計することは適当ではないが、フレームメモリ 1 3 は DRAM - LSI であり、比較的容易に大容量化が可能である。このため後述するように、「高品位表示モード」の画素データ（デジタル画像表示データ 2）の量は、後述するように「低消費電力表示モード」のそれ（デジタル画像表示データ 1）よりも著しく大きくなっている。

【 0 0 1 9 】

なおここで MPU 1 5 はバス 1 8 と I/O 1 6 を介してバックライトユニット 1 7 を制御する。原則として「低消費電力表示モード」時にはバックライトユニットを駆動させずに反射型液晶表示を選択することにより電力消費を低減し、「高品位表示モード」時にはバックライトユニットを駆動して表示画素アレイに対して裏面照明を行うことにより、より高品位な透過型液晶表示を行う。本実施例はこのように低消費電力 DA 変換器 6 を用いる「低消費電力表示モード」と、高精度 DA 変換器 1 1 を用いる「高品位表示モード」とを使い分けることによって、携帯情報機器における待機時の超低消費電力化と、動画を含む高品位表示とを両立させることが可能である。

【 0 0 2 0 】

このモード切り替えは、例えば制御部 2 0 の MPU 1 5 に切り替え命令 4 0 が入力されることにより切り替えることができる。この切り替えは、ユーザの指示による切り替えにより命令を発生して切り替え命令を行うというものである。

【 0 0 2 1 】

以下、本実施例の各部の構成要素及びその動作に関して順を追って説明を行う。

【 0 0 2 2 】

以下図 2 ～ 図 5 を用いてフレームメモリ 7 に関してその構成及び動作を説明する。

【 0 0 2 3 】

図 2 はフレームメモリ 7 の回路構成図である。マトリクス状に配列された SRAM メモリセル 2 1 には行方向にワード線 2 2 が接続されており、ワード線 2 2 の一端はワード線選択スイッチ 2 5 を介して、ワード線シフトレジスタ 2 4 或いは Y デコーダ 2 3 に接続されている。またメモリセル 2 1 は列方向にはデータ線 2 6 及び反転データ線 2 7 に接続されている。データ線 2 6 と反転データ線 2 7 にはそれぞれデータ線リセットスイッチ 3 8 と反転データ線リセットスイッチ 3 9 が、更に両者の間にはデータ線短絡スイッチ 2 9 が設けられている。反転データ線 2 7 の一端には書き込み信号（図中の W）で動作する反転データ線バッファ 2 8 が設けられており、その入力にはデータ線 2 6 である。データ線 2 6 の一端にはデータ入力スイッチ 3 0 が設けられており、データ入力スイッチ 3 0 の他端はデータ入力線 3 2 に接続されると同時に、データ入力スイッチ 3 0 は X デコーダ 3 1 によって選択される。なおデータ入力線 3 2 の両端には、それぞれ書き込み信号（図中の W）で動作するデータ入力バッファ 3 3 及び読み出し信号（図中の R）で動作するデータ出力バッファ 3 4 が接続されている。一方反転データ線 2 7 の他端には、ラッチ信号（図中の L 1）で動作するデータ線ラッチ a 3 5、インバータ 3 6、反転ラッチ信号（図中の L 1 バー）で動作するデータ線ラッチ b 3 7 からなる 1 ビットメモリが配置されている。

【 0 0 2 4 】

図 3 は図 2 で示したバッファないしラッチ回路 4 1 の回路構成図である。バッファないしラッチ回路 4 1 は CMOS クロックトインバータ構成になっており、p チャネル poly-Si TFT 4 2, 4 3 と n チャネル poly-Si TFT 4 4, 4 5 とが相補的な信号パルス ϕ で駆動されるため、信号パルスの選択によって

、インバータ出力であるV_{dd}、V_{ss}或いは出力開放の3種類の状態出力を有している。

【0025】

図4はSRAMメモリセル21の回路構成図である。メモリセル本体はpチャネルpoly-Si TFT51、52とnチャネルpoly-Si TFT53、54から構成されたフリップフロップ回路であり、ワード線22で制御されるワード線スイッチ55及び反転ワード線スイッチ56を介してデータ線26及び反転データ線27に接続されている。なおフリップフロップ回路の高電圧側は高電圧電源線57、低電圧側は低電圧電源線58によって電源が供給されている。

【0026】

次に図5を用いてフレームメモリ7の動作を説明する。図5(a)及び(b)はそれぞれ、メモリセルからのデータの読み出し及びメモリセルへのデータの書き込み動作を示したタイミングチャートである。ここで上側は高電圧出力ないしオン状態、下側が低電圧出力ないしオフ状態を表している。

【0027】

まず読み出しにおいては、データ線リセットスイッチ38と反転データ線リセットスイッチ39が、データ線26と反転データ線27をそれぞれ低電圧と高電圧レベルにプリチャージする。その後リセットでは、データ線短絡スイッチ29がデータ線26と反転データ線27を短絡するため、データ線信号として図示したように、両者は低電圧と高電圧レベルのほぼ中間値にリセットされる。次いでワード線シフトレジスタ24によって選択されたワード線22がオンすると、選択されたメモリセル21に記憶されているデータがデータ線26と反転データ線27にそれぞれ相反する信号電圧として読み出される。その後にデータ線ラッチa35とデータ線ラッチb36とをオン／オフさせることによって、メモリセル21に記憶されているデータをデータ線ラッチa35、インバータ36、データ線ラッチb37からなる1ビットメモリに読み出すことができる。なおメモリセルの内容をTCON14を介してバス18に読み出す場合であるが、このときはYデコーダ23によって選択されたワード線22がオンすること、データ線26に読み出されたデータのうち、Xデコーダ31によって選択されたアドレスのデ

ータが、データ入力スイッチ 30、データ入力線 32、データ出力バッファ 34 を介して出力されることを除けば、データを 1 ビットメモリに読み出す上記の例と同様である。

【0028】

次に書き込みにおいても、データ線リセットスイッチ 38 と反転データ線リセットスイッチ 39 が、データ線 26 と反転データ線 27 をそれぞれ低電圧と高電圧レベルにプリチャージし、その後のリセットで、データ線短絡スイッチ 29 がデータ線 26 と反転データ線 27 を短絡して両者を低電圧と高電圧レベルのほぼ中間値にリセットするまでは読み出しの動作と同様である。次いで X デコーダ 31 で選択されたデータ入力スイッチ 30 がオンすると、データ入力バッファ 33 からデータ入力線 32 に入力された入力データがデータ線 26 及び反転データ線 27 に入力される。この状態で Y デコーダ 23 によって選択されたワード線 22 がオンすると、X デコーダ 31 によって選択されたメモリセル 21 には、データ線 26 及び反転データ線 27 に入力されていた入力データが書き込まれる。なおこのとき、X デコーダ 31 によって選択されていないメモリセル 21 のデータは、上記書き込み動作によっても変化することがないのは明らかである。

【0029】

次に図 6、図 7 を用いて、低消費電力 D/A 変換器 6 の構成及び動作を説明する。

【0030】

図 6 は低消費電力 D/A 変換器 6 の一列分に相当する基本単位の回路構成図である。フレームメモリ 7 から出力されたデータは 2 ビット毎にデータデコーダ 61 に入力し、データデコーダ 61 からは 4 本の出力線 65 が延びている。各出力線 65 にはアナログ電圧選択スイッチ 62 が設けられており、アナログ電圧選択スイッチ 62 の一端は基準電圧線 63 に接続されている。アナログ電圧選択スイッチ 62 の他端は一本に合流してアナログ信号線 66 となっている。なおデータデコーダ 61 には別に、フィールド反転信号線 64 が入力している。

【0031】

図 7 は上記アナログ信号線 66 から表示画素マトリクスまでの構成を示してい

る。なおカラー表示のために画素マトリクスにはRGB 3色のストライプフィルタが設けてあるが、このフィルタ色の区別をR、G、Bとして図示した。アナログ信号線66は2本に分岐し、低消費電力DA出力スイッチ67を介して、それぞれ同じ色のカラーフィルタを有する隣接した信号線5に接続されている。

【0032】

次に低消費電力DA変換器6の動作であるが、フレームメモリ7から出力されたデータは2ビットで一単位の画像データを表している。これに対してデータデコーダ61は2ビットから4値へのデコード処理を行い、出力線65を介して4本のアナログ電圧選択スイッチ62のいずれかをオンにする。これによってアナログ信号線66には選択されたいずれかの基準電圧線63の電圧が印加される。なおここで本実施例においては基準電圧線63の本数を減らすために、液晶の共通電極をフィールド間で0/5Vの交流で駆動している。このときデータデコーダ61の出力は、例えば同じ黒色でもフィールド間で4V/1Vと反転させなければならない。そのためにデータデコーダ61はデコードに際して、液晶共通電極の極性情報を得るためにフィールド反転信号線64を用いている。

【0033】

さてここでアナログ信号線66の本数は、表示画素の列の数の半分の本数しか設けられていない。そこでアナログ信号線66は途中で2つに分岐し、「低消費電力表示モード」でのみオンする低消費電力DA出力スイッチ67を介して、同じ色のカラーフィルタを有する隣接した2本の信号線5に対して、先に選択された基準電圧線63の電圧を等しく入力するのである。このように本実施例では、フレームメモリ7に記憶する列方向の画素データの数を表示画素の列の数の半分にすることによって、液晶表示パネルの額縁に配置されるフレームメモリ7の占有面積の削減及び消費電力低減を図っている。

【0034】

次に図8を用いて、ゲート線シフトレジスタ4の構成及び動作を説明する。

【0035】

図8はゲート線シフトレジスタ4の回路構成図である。ゲート線を順次走査するためのシフトレジスタ回路70の出力は2組ずつOR回路71に入力しており

、OR回路71の出力は分岐してペア走査スイッチ72を経てゲート線3に接続されている。またこれらとは別に、シフトレジスタ回路70の出力を直接ゲート線3に接続する順次走査スイッチ73も設けられている。

【0036】

シフトレジスタ回路70は順次その出力を選択するが、「低消費電力表示モード」ではペア走査スイッチ72がオン状態にあり、順次走査スイッチ73がオフ状態にあるため、隣接する上下のゲート線は2本毎が同時に走査される。本実施例ではこのように隣接する2行の表示画素に等しいアナログ信号電圧を書き込むことによって、フレームメモリ7に記憶する行方向の画素データの数を表示画素の行の数の半分にし、フレームメモリ7の占有面積の削減及び消費電力低減を図っている。

【0037】

次に図9を用いて、表示画素10の構成及び動作を説明する。

【0038】

図9は表示画素10のレイアウト概要図である。列方向に信号線5、行方向にゲート線3が設けられており、その交点近傍にpoly-Si薄膜76を用いた画素スイッチ2が設けられている。また画素スイッチ2の一端には、金属電極75と透明電極（簡略化のために図示せず）からなる液晶容量形成用の電極が形成されている。なおここで図中に正方形で示してあるのはコンタクト部である。

【0039】

ゲート線3が選択されると信号線5に印加されている電圧が液晶容量1に書き込まれ、液晶の光学特性を変調させて画像表示を行う。ここでバックライト17を点灯した場合には、バックライトの光は金属電極75のない部分から液晶層を透過し、透過型液晶表示パネルとして画像が表示される。一方バックライト17を点灯しない場合にも、表示面上方からの入射光が金属電極75で反射され、同様に液晶層を透過するため、本実施例は反射型液晶表示パネルとしても画像を表示することができる。本実施例においては、「低消費電力表示モード」選択時には基本的にはバックライト17を点灯しないことを前提としているが、このような表示画素10の構成を採用することによって、反射型の画像表示をも同時に可

能としている。

【 0 0 4 0 】

次に図 1 0 を用いて、ラインメモリ 1 2 の構成及び動作を説明する。

【 0 0 4 1 】

図 1 0 はラインメモリ 1 2 の 3 列分の回路構成図である。フレームメモリ 1 3 から出力されたデータ入力線 7 9 はデータ線ラッチ c 8 2, インバータ 8 3, データ線ラッチ d 8 4 からなる第一のラッチ回路に入力し、更にその出力はラッチ信号 (図中の L 2) で動作するデータ線ラッチ e 8 5, インバータ 8 6, 反転ラッチ信号 (図中の L 2 バー) で動作するデータ線ラッチ f 8 7 からなる第二のラッチ回路を経て、データ線 8 8 に接続されている。ここで第一のラッチ回路はシフトレジスタ回路 8 0 と、これに接続されたインバータ 8 1 により制御されている。

【 0 0 4 2 】

フレームメモリ 1 3 からは T C O N 1 4 を介してデジタル表示データが、データ入力線 7 9 に順次入力されてくる。シフトレジスタ回路 8 0 はこれに同期して、入力されたデジタル素子データをデータ線ラッチ c 8 2, インバータ 8 3, データ線ラッチ d 8 4 からなる第一のラッチ回路にサンプリングする。一ライン分のデータ入力が完了すると、データ線ラッチ e 8 5, インバータ 8 6, データ線ラッチ f 8 7 からなる第二のラッチ回路が駆動され、第一のラッチ回路群に記憶されていた 1 ライン分のデータを記憶する。この後再び第一のラッチ回路は次のラインのデジタル表示データをサンプリングし始めるが、この間第二のラッチ回路はラッチしたデジタル表示データをデータ線 8 8 に出力し続ける。なお本実施例においてはフレームメモリ 1 3 から出力されるデジタル表示データは 6 ビットであるが、図面を簡略化するために、1 ビット分に相当する回路のみを図示した。

【 0 0 4 3 】

次に図 1 1, 図 1 2 及び図 7 を用いて、高精度 D A 変換器 1 1 の構成及び動作を説明する。

【 0 0 4 4 】

図 1 1 は高精度 D A 変換器 1 1 の一単位の回路構成図である。

【 0 0 4 5 】

上記第二のラッチ回路から出力されたデータ線 8 8 は、6 ビット分がまとまってマルチプレクサ 9 2 に入力している。マルチプレクサ 9 2 には他にラダー抵抗 9 0 から延びる 6 4 本の基準電圧線 9 1 も入力しており、マルチプレクサ 9 2 は 6 ビットのデジタルデータを元に 6 4 本の基準電圧線 9 1 の中から予め定められた一本を選択し、これを SW 3 9 5, SW 5 9 6, SW 6 9 8 に接続する。ラダー抵抗の両端には 0 V と 5 V が印加されており、6 4 本の基準電圧線 9 1 にはこれらの中間の各電圧が入力されている。ここで SW 3 9 5 の他端はプリチャージ T F T 1 0 0 のゲートとしきい値キャンセル容量 9 9 の一端に、SW 5 9 6 の他端はしきい値キャンセル容量 9 9 の他端と SW 4 9 7 の一端に、SW 6 9 8 の他端は SW 4 9 7 の他端と信号線 1 0 1 につながっている。また信号線 1 0 1 は SW 1 9 3 を介して - 5 V と、また SW 2 9 4 を介してプリチャージ T F T 1 0 0 のソースにも接続されており、poly-S i で構成されたプリチャージ T F T 1 0 0 のドレインには高電圧、1 0 V が印加されている。

【 0 0 4 6 】

次に高精度 D A 変換器 1 1 の動作タイミングチャートである図 1 2 を用いて、高精度 D A 変換器 1 1 の動作を説明する。

【 0 0 4 7 】

まず 1 フィールドの始めに、しきい値キャンセル容量 9 9 へのプリチャージ T F T 1 0 0 のしきい値電圧の書き込みが行われる。この期間はマルチプレクサ 9 2 の出力は 5 V 電源電圧に固定されている。まず期間 $t_1 - t_2$ で、SW 1 がオンして信号線 1 0 1 の電圧を - 5 V にリセットする。次いで期間 $t_2 - t_3$ で SW 3 と SW 4 がオンしてしきい値キャンセル容量 9 9 の両端を接続してから、期間 $t_3 - t_4$ で SW 1 がオフして SW 2 がオンする。これによってプリチャージ T F T 1 0 0 はソースフォロアとして働き、信号線 1 0 1 の電圧を $(5 V - V_{th})$ にまで充電する。充電が完了した後で、期間 $t_4 - t_5$ で SW 3 がオフすると、しきい値キャンセル容量 9 9 にはプリチャージ T F T 1 0 0 のしきい値、 V_{th} に相当する電圧が書き込まれたことになる。次いで期間 $t_5 - t_6$ に

SW4 がオフした後で、SW5 がオンする。これによってプリチャージTFT100のゲートには、常にマルチプレクサ92の出力よりも V_{th} だけ高い電圧が入力されることになる。

【0048】

以上のしきい値電圧書き込みの後で、引き続いて水平走査期間へ入る。各水平走査期間では、ラインメモリ19に記憶されていた1ライン分のデジタル表示データがDA変換されて、マルチプレクサ92から出力され、順次表示画素に書き込まれることになる。まず始めに期間 $t_a - t_b$ ではゲート線シフトレジスタ4で選択されたゲート線3がオンすると共に、SW1がオンして信号線101の電圧を $-5V$ にリセットする。続いて期間 $t_b - t_c$ ではSW2がSW1に変わってオンし、プリチャージTFT100はソースフォロアとして働くことによって、信号線101をほぼマルチプレクサ92から出力されているアナログ信号電圧にプリチャージする。このプリチャージが完了した後に、期間 $t_c - t_d$ でSW2に変わってSW6がオンすると、マルチプレクサ92は信号線101にアナログ信号電圧を直接書き込むことになる。ところがこの時点では、信号線101は既にほぼこのアナログ信号電圧にプリチャージされており、期間 $t_c - t_d$ で信号線101に書き込まれるのは、プリチャージ時の電圧ばらつきの補正のみである。従って本実施例においてはマルチプレクサ92から出力される電流は極めて小さく、また基準電圧線91に電流を供給するラダー抵抗90には直流的な電流は流れないため、その値を比較的大きい値に設計することが可能である。これによって本実施例ではラダー抵抗の貫通電流に起因する消費電力を、極めて小さい値にすることができた。上記のように本実施例においては、しきい値キャンセル容量99を用いてプリチャージTFT100の V_{th} のキャンセルを行っている。これはSW6がオンしてマルチプレクサ92から信号線101にアナログ信号電圧を直接書き込む際に、信号線101に V_{th} 相当の充電電流が流れることを回避するためである。これにより基準電圧線91に電流を供給するラダー抵抗90を十分大きな値に設計することを可能として、液晶表示パネルにおける消費電力の低減を図っている。

【0049】

さて図 1 1 における上記信号線 1 0 1 の先は、先に示した図 7 の下端に接続されており、高精度 D A 出力スイッチ 6 8 を介して信号線 5 に繋がっている。この高精度 D A 出力スイッチ 6 8 と低消費電力 D A 出力スイッチ 6 7 は、それぞれ高精度 D A 変換器 1 1 と低消費電力 D A 変換器 6 のいずれかが選択されて駆動される「高品位表示モード」と「低消費電力表示モード」に対応して、いずれかがオンないしオフする。

【 0 0 5 0 】

なお先に述べたようにアナログ信号線 6 6 の本数は、表示画素の列の数の半分の本数しか設けられていないのに対して、信号線 1 0 1 と表示画素の列の数は一致している。これは「低消費電力表示モード」では同じ色のカラーフィルタを有する隣接した 2 本の信号線 5 に対して、等しい信号データ電圧を供給することによってフレームメモリ 7 の消費電力及び占有面積の削減を図っていることに対して、「高品位表示モード」では個別の信号線 5 に対して異なる信号データ電圧を供給することによって、列方向には「低消費電力表示モード」の 2 倍の精細度を実現するためである。

【 0 0 5 1 】

更にゲート線シフトレジスタ 4 に関しては先に図 8 を用いて述べたように、「高品位表示モード」では、シフトレジスタ回路 7 0 は順次走査スイッチ 7 3 を用いてゲート線 3 を直接走査する。これにより、更に「高品位表示モード」の水平走査期間（1 ライン期間）を「低消費電力表示モード」の半分とすることによって、「高品位表示モード」では行方向に対しても「低消費電力表示モード」の 2 倍の精細度を実現することが可能である。

【 0 0 5 2 】

以上の結果、「高品位表示モード」では「低消費電力表示モード」に対して 4 倍の解像度を実現することができる。具体的には本実施例においては「低消費電力表示モード」の画素数は Q C I F（1 4 4 × 1 7 6 画素）であり、「高品位表示モード」の画素数は C I F（2 8 8 × 3 5 2 画素）フォーマットに準拠している。これに加えて更に既に述べたように、「低消費電力表示モード」の画像データは R G B 各 2 ビット、「高品位表示モード」の画像データは R G B 各 6 ビット

である。このためにDRAM-LSIで構成されたフレームメモリ13の記憶容量は、ガラス基板19上にpoly-Si TFTを用いたSRAMで構成されたフレームメモリ7の記憶容量よりも12倍も大きく設計されている。

【0053】

なお本実施例においては、前述のように表示画素10、ゲート線シフトレジスタ4、低消費電力DA変換器6、フレームメモリ7、高精度DA変換器11、ラインメモリ12等はpoly-Si TFT素子を用いてガラス基板19上に構成されている。しかしながらガラス基板に変えて、石英基板、透明プラスチック基板等の透明絶縁基板を用いることも明らかに可能である。

【0054】

また上記諸回路におけるTFTのn型、p型の導電型と電圧関係を逆に構成することや、その他の回路構成を用いることも、本発明の原理を損なわない範囲で可能であることは言うまでもない。

【0055】

また本実施例では「低消費電力表示モード」の画像データを2bit、画素データ数を144×176画素とし、「高品位表示モード」の画像データを6bit、画素データ数を288×352画素としたが、これらの値が本発明の趣旨の範囲で変更可能であることは言うまでもない。

【0056】

更に本実施例の駆動方法として、「低消費電力表示モード」選択時の1秒当たりのフレーム枚数（フレームレート）を、「高品位表示モード」選択時の1秒当たりのフレーム枚数（フレームレート）よりも少なくする駆動法が選択可能である。これは「低消費電力表示モード」選択時には反射型の液晶モード表示を行うため、表示画像のコントラストが比較的低く、フレームレートを低減してもフリッカが目につきにくいことによるものである。このために例えば「高品位表示モード」のフレームレートを60Hzとしても、「低消費電力表示モード」のフレームレートを15Hz程度に低減することが可能である。これによって「低消費電力表示モード」選択時の基本駆動周波数を低減し、更なる低消費電力化を図ることができる。

【 0 0 5 7 】

なお本実施例では、「低消費電力表示モード」と「高品位表示モード」におけるゲート線シフトレジスタ4の走査機能を、ペア走査スイッチ72と順次走査スイッチ73を切替えることにより、隣接する上下のゲート線を2本毎に同時に走査する場合と各ゲート線を個別に走査する場合とに切替え可能とした。しかしながらゲート線シフトレジスタ4にはその他にも類似の機能を有する回路構成を採用することが可能である。例えば「低消費電力表示モード」では隣接する上下のゲート線を3本以上毎に同時に走査する場合や、或いは「低消費電力表示モード」用と「高品位表示モード」用に個別のシフトレジスタ回路70を設ける、更にこれらの個別に設けたシフトレジスタ回路70を表示画素マトリクスの左右に配置する等、本発明の趣旨を逸脱しない範囲内で種々の構成を用いることができる。

【 0 0 5 8 】

この他、本実施例では諸スイッチ群にCMOSスイッチ、画素TFT12はn型TFTスイッチを採用したが、p型TFTを含むいずれのスイッチ構成をこれらに用いても本発明の適用は可能である。また本発明の趣旨を逸脱しない範囲で、多様なレイアウト形状が適用可能であることも言うまでもない。

【 0 0 5 9 】

以上のような構成であるが、本発明を整理すると、複数の画素10により構成された表示部50と、この表示部50の制御を行う制御部20を有する画像表示装置で、この画像表示装置は、デジタル表示データをアナログ画像信号に変換するDA変換部（低消費電力DA変換器6と高精度DA変換器11）を有している構成である。このDA変換部は、第1のDA変換部（低消費電力DA変換器）と、第2のDA変換部（高精度DA変換器11）により構成されて、この2つのDA変換部を動作時の消費電力の点で比較すると、第1のDA変換部の動作時の消費電力は、前記第2のDA変換部の動作時の消費電力よりも小さい構成とする。制御部20の命令に応じて第1のDA変換部と第2のDA変換部のどちらかを動作させて表示部50に変換したアナログ画像信号を出力し、表示部50は制御部20の命令に応じて表示部50の互いに異なるデジタル表示データに対応する

表示画素（独立表示画素）の数を変えてアナログ画像信号に応じて表示を行うというものである。

【0060】

このような構成により、高精細な表示としたい画像と、それほど精細度を求めない画像を表示したい場合を分けて、それぞれの要求に応じた制御とすることで、高品位表示と低消費電力を両立させた画像表示装置を提供できるというものである。

【0061】

また、広い意味では、低消費電力の画像表示装置を提供できるというものである。

【0062】

さらには表示部50には、表示部50の走査の制御を行うゲート線シフトレジスタ4が接続されており、制御部20は接続されているゲート線シフトレジスタ4に命令を出力する。そして、ゲート線シフトレジスタ4により表示部50の独立表示画素の数を変えて表示を行うというものである。この制御部50は、モード切り替え命令40に応じてDA変換部（6又は11）及びゲート線シフトレジスタ4に命令を行うというものである。

【0063】

モードを切り替えるために、モード切り替え命令を、第1のDA変換部により変換処理を行わせる第1のモードと、第2のDA変換部により変換処理を行わせる第2のモードとする。表示部50は、複数のゲート線3と、これら複数のゲート線3に交差するように配置した複数の信号線5により、複数のゲート線3と信号線4により囲まれた領域に対応して画素10が構成されているものであり、ゲート線シフトレジスタ4は、第1のモードによる命令の場合に、複数のゲート線のうち少なくとも2本のゲート線を同じタイミングで制御し、第1のDA変換部は変換した1つのアナログ画像信号を少なくとも2本の信号線に出力することができる。

【0064】

さらには、この画像表示装置に、第1のDA変換部及び第2のDA変換部にそ

れぞれ対応した容量の異なる 2 つのメモリ（フレームメモリ 7，13）を配置する。

【0065】

また、さらには表示部 50，DA 変換部（6，11），ゲート線シフトレジスタ 4、及び 2 つのメモリのうちの容量の小さいメモリ 7 を同一の基板上に配置し、容量の小さいメモリを poly-Si により形成する構成も考えられる。

【0066】

尚、第 1 の DA 変換部には、容量の小さいメモリが対応し、第 2 の DA 変換部には、容量の大きいメモリが対応する構成も考えられる。

【0067】

さらには、第 1 の DA 変換部 6 及び第 2 の DA 変換部 7 は、それぞれ bit 数の異なるアナログ画像信号に変換する構成が考えられる。

【0068】

さらには、第 1 の DA 変換部 6 及び第 2 の DA 変換部 7 は、それぞれ最大駆動周波数が異なるアナログ画像信号に変換する構成が考えられる。

【0069】

さらには、第 1 の DA 変換部 6 は、2 値の信号階調のアナログ画像信号を出力する構成が考えられる。

【0070】

さらには、この画像表示装置の表示部 50 に光を供給する照明手段（例えばバックライト 17）を有し、照明手段は、第 2 のモードの場合に、表示部 50 に光を供給する構成とすることが考えられる。

【0071】

また、別の見方で本発明を整理すると、複数の画素により構成された表示部 50 と、この表示部 50 の制御を行う制御部 20 を有する画像表示装置で、デジタル表示データをアナログ画像信号に変換する DA 変換部（低消費電力 DA 変換器 6，高精度 DA 変換器 11）を有している。DA 変換部は、第 1 の DA 変換部（低消費電力 DA 変換器 6）と、第 2 の DA 変換部（高精度 DA 変換器 11）により構成され、第 1 の DA 変換部及び第 2 の DA 変換部は、それぞれ bit 数の異

なるデジタル表示データをアナログ画像信号に変換するというものである。

【 0 0 7 2 】

制御部 2 0 の命令に応じて、第 1 の D A 変換部、または第 2 の D A 変換部の一方により、デジタル表示データをアナログ画像信号に変換する構成が考えられる。

【 0 0 7 3 】

また、制御部 2 0 は、モード切り替え命令 4 0 に応じて第 1 の D A 変換部または第 2 の D A 変換部のいずれかに命令を行って画像表示装置の制御を行うというものである。

【 0 0 7 4 】

さらには、この画像表示装置の第 1 の D A 変換部及び第 2 の D A 変換部にそれぞれ対応して容量の異なる 2 つのメモリ（フレームメモリ 7, 1 3）を有する構成が考えられる。

【 0 0 7 5 】

また、表示部 5 0, D A 変換部（6, 1 1）, ゲート線シフトレジスタ 4 を同一の基板上に配置し、表示部 5 0 は矩形で形成し、第 1 の D A 変換部と第 2 の D A 変換部は、表示部の上下に配置する構成も考えられる。

【 0 0 7 6 】

また、基板上に、前述した 2 つのメモリのうちの容量の小さいメモリを配置し、容量の小さいメモリは、poly-Si により形成する構成も考えられる。

【 0 0 7 7 】

またモード切り替え命令 4 0 を、第 1 の D A 変換部により変換処理を行わせる第 1 のモードと、第 2 の D A 変換部により変換処理を行わせる第 2 のモードとし、第 1 の D A 変換部は、容量の小さい方のメモリが対応しており、第 2 の D A 変換部には、容量の大きい方のメモリが対応している構成も考えられる。

【 0 0 7 8 】

また、表示部 5 0 は、制御部 2 0 の命令に応じて表示部 5 0 の独立表示画素の数を変えてアナログ画像信号に応じて表示を行う構成も考えられる。

【 0 0 7 9 】

また、第 1 の D A 変換部を、2 値の信号階調のアナログ画像信号を出力する構成も考えられる。

【0080】

さらには、画像表示装置の表示部 5 0 に光を供給する照明手段（バックライト 1 7）を有し、照明手段は、第 2 のモードの場合に、表示部 5 0 に光を供給する構成も考えられる。

【0081】

さらに、別の見方で本発明を整理すると、複数の画素により構成された表示部 5 0 と、この表示部 5 0 の制御を行う制御部 2 0 を有する画像表示装置で、デジタル表示データをアナログ画像信号に変換する D A 変換部（低消費電力 D A 変換部 6，高精度 D A 変換部 1 1）を有している。D A 変換部は、第 1 の D A 変換部（低消費電力 D A 変換部 6）と、第 2 の D A 変換部（高精度 D A 変換部 1 1）により構成され、第 1 の D A 変換部及び第 2 の D A 変換部は、それぞれフレーム周波数が異なるアナログ画像信号に変換するというものである。

【0082】

また、制御部 2 0 の命令に応じて、第 1 の D A 変換部、または第 2 の D A 変換部の一方により、デジタル表示データをアナログ画像信号に変換する構成が考えられる。この制御部 2 0 は、モード切り替え命令 4 0 に応じて第 1 の D A 変換部または第 2 の D A 変換部のいずれかに命令を行うというものである。

【0083】

また、第 1 の D A 変換部は、2 値の信号階調のアナログ画像信号を出力する構成も考えられる。

【0084】

さらには、本発明の画像表示装置の表示部 5 0 に光を供給する照明手段（バックライト 1 7）を有し、この照明手段は、第 2 のモードの場合に、表示部 5 0 に光を供給する構成とすることが考えられる。

（第二の実施例）

以下、本発明における第二の実施例について、図 1 3 ～図 1 5 を用いて説明する。

【 0 0 8 5 】

第二の実施例であるpoly-Si TFT液晶表示パネルの主な構成および動作は、第一の実施例のそれと同様であるので説明を省略する。本実施例における第一の実施例との差異は、「低消費電力表示モード」で用いるフレームメモリの構成と動作である。以下これに関して述べる。

【 0 0 8 6 】

図13は、本実施例において「低消費電力表示モード」で用いているフレームメモリ7の構成図であり、第一の実施例の説明における図2に対応するものである。マトリクス状に配列されたSRAMメモリセル111には行方向にワード線112及びラッチ線113が接続されており、ワード線112及びラッチ線113の一端は行駆動スイッチ120、バッファ119、行選択スイッチ121を経て、ワード線シフトレジスタ24或いはYデコーダ23に接続されている。またメモリセル111は列方向にはデータ線114に接続されている。データ線114は2本一組で構成され、各々にはデータ線Vddリセットスイッチ118或いはデータ線Vssリセットスイッチ117が、更に両者の間にはデータ線間短絡スイッチ116が設けられている。なおここでVddは5V、Vssは0Vに設定されている。データ線114の一端にはデータ入力スイッチ30が設けられており、データ入力スイッチ30の他端はデータ入力線32に接続されると同時に、データ入力スイッチ30はXデコーダ31によって選択される。なおデータ入力線32の両端には、それぞれ書き込み信号（図中のW）で動作するデータ入力バッファ33及び読み出し信号（図中のR）で動作するデータ出力バッファ34が接続されている。一方データ線114の他端には、ラッチ信号（図中のL1）で動作するデータ線ラッチa35、インバータ36、反転ラッチ信号（図中のL1バー）で動作するデータ線ラッチb37からなる1ビットメモリが配置されている。

【 0 0 8 7 】

図14はSRAMメモリセル111の回路構成図である。メモリセル本体はpチャネルpoly-Si TFT125、126とnチャネルpoly-Si TFT127、128から構成されたフリップフロップ回路であるが、フリップフロップ

回路の途中にラッチ線 1 1 3 で制御されるラッチスイッチ 1 2 9 が挿入されている。またこの回路は、ワード線 1 1 2 で制御されるワード線スイッチ 1 3 0 を介してデータ線 1 1 4 に接続されている。なおフリップフロップ回路の高電圧側は $V_{dd} = 5V$ を印加された高電圧電源線 5 7 に、低電圧側は $V_{ss} = 0V$ を印加された低電圧電源線 5 8 によって駆動されている。

【 0 0 8 8 】

次に図 1 5 を用いて本実施例における「低消費電力表示モード」で用いるフレームメモリの動作を説明する。図 1 5 (a) 及び (b) はそれぞれ、メモリセル 1 1 1 からのデータの読み出し及びメモリセル 1 1 1 へのデータの書込み動作を示したタイミングチャートである。なおここでは、上側は高電圧出力ないしオン状態、下側が低電圧出力ないしオフ状態を示している。

【 0 0 8 9 】

まず読み出しにおいては、データ線 V_{dd} リセットスイッチ 1 1 8 及びデータ線 V_{ss} リセットスイッチ 1 1 7 が、データ線 1 1 4 をそれぞれ高電圧 (5 V) と低電圧 (0 V) にプリチャージする。その後リセットとして、データ線間短絡スイッチ 1 1 6 が高電圧 (5 V) と低電圧 (0 V) にプリチャージされたデータ線 1 1 4 同士を短絡するため、データ線信号としては図示したように、データ線 1 1 4 は低電圧と高電圧レベルのほぼ中間値にリセットされる。次いでワード線シフトレジスタ 2 4 によって選択されたワード線 1 1 2 が行選択スイッチ 1 2 1 , バッファ 1 1 9 , 行駆動スイッチ 1 2 0 を介してオンされると、選択されたメモリセル 1 1 1 に記憶されているデータがデータ線 1 1 4 に信号電圧として読み出される。その後にデータ線ラッチ a 3 5 とデータ線ラッチ b 3 6 とをオン / オフさせることによって、メモリセル 1 1 1 に記憶されていたデータをデータ線ラッチ a 3 5 , インバータ 3 6 , データ線ラッチ b 3 7 からなる 1 ビットメモリに読み出すことができる。このときこのバッファ 1 1 9 , 行駆動スイッチ 1 2 0 によって全てのラッチ線 1 1 3 を介して、全てのメモリセル 1 1 1 のラッチスイッチ 1 2 9 は常時オン状態である。なおメモリセルの内容をバス 1 8 に読み出す場合であるが、このときは Y デコーダ 2 3 によって選択されたワード線 1 1 2 が行選択スイッチ 1 2 1 , バッファ 1 1 9 , 行駆動スイッチ 1 2 0 を介してオンされ

ること、データ線 1 1 4 に読み出されるデータのうち、Xデコーダ 3 1 によって選択されたアドレスのデータが、データ入力スイッチ 3 0、データ入力線 3 2、データ出力バッファ 3 4 を介して出力されることを除けば、データを 1 ビットメモリに読み出す上記の例と同様である。

【 0 0 9 0 】

次に書き込みにおいても、データ線 V d d リセットスイッチ 1 1 8 及びデータ線 V s s リセットスイッチ 1 1 7 が、データ線 1 1 4 をそれぞれ高電圧 (5 V) と低電圧 (0 V) にプリチャージする。その後リセットとして、データ線間短絡スイッチ 1 1 6 が高電圧 (5 V) と低電圧 (0 V) にプリチャージされたデータ線 1 1 4 同士を短絡するため、データ線信号としては図示したように、データ線 1 1 4 は低電圧と高電圧レベルのほぼ中間値にリセットされる。次いで Yデコーダ 2 3 によって選択されたワード線 1 1 2 が行選択スイッチ 1 2 1、バッファ 1 1 9、行駆動スイッチ 1 2 0 を介してオンされると、選択されたメモリセル 1 1 1 に記憶されているデータがデータ線 1 1 4 に信号電圧として読み出されるまでは読み出しの動作と同様である。書き込みの場合はここで Yデコーダ 2 3 によって選択されたラッチ線 1 1 3 がオフされると、選択されたメモリセル 1 1 1 のラッチスイッチ 1 2 9 がオフし、メモリセル 1 1 1 のフリップフロップ機能が停止する。そこで次に Xデコーダ 3 1 で選択されたデータ入力スイッチ 3 0 がオンすると、データ入力バッファ 3 3 からデータ入力線 3 2 に入力された入力データが、選択されたデータ線 1 1 4 に入力される。これによって、Yデコーダ 2 3 及び Xデコーダ 3 1 によって選択されたメモリセル 1 1 1 には、データ線 1 1 4 に入力された入力データが記憶される。なおこのとき、Xデコーダ 3 1 によって選択されていないメモリセル 1 1 1 のデータは、上記書き込み動作によっても変化することがないことは明らかである。この後にラッチ線 1 1 3 がラッチスイッチ 1 2 9 をオンすることによってメモリセル 1 1 1 のフリップフロップが働き出し、選択されたワード線 1 1 2 がオフすることによって一連の書き込み動作は終了する。

【 0 0 9 1 】

本実施例によれば、メモリセル 1 1 1 への書き込み時にはフリップフロップ回

路を停止させるため、フリップフロップ回路を構成するpoly-Si TFTの個々の特性ばらつきに対しても、常に安定した書き込み動作が可能になり、フレームメモリ7の歩留が向上するという長所がある。

(第三の実施例)

以下、本発明における第三の実施例について、図16、図17を用いて説明する。

【0092】

第三の実施例であるpoly-Si TFT液晶表示パネルの主な構成および動作は、第一の実施例のそれと同様であるので説明を省略する。第一の実施例と比較した場合の本実施例の差異は、バックライト17に代えてフロントライトを用いていることと、表示画素の構成である。以下本実施例における表示画素の構成に関して説明する。

【0093】

図16は第三の実施例における表示画素135のレイアウト概要図であり、第一の実施例における図9に対応している。第一の実施例と比較した場合の本実施例の差異は、金属電極138上に更に反射電極139と、両者を接続するコンタクトホール137が設けられていることである。更に図16におけるA-A'間の断面図を図17に示す。反射電極139にはコンタクトホール137を介してアナログ画像信号電圧が印加される。即ち反射電極139はフロントライトに対する反射板であると同時に、表示画素における液晶容量を構成する電極でもある。

【0094】

本実施例においては、液晶表示への照明にフロントライトを用いているため、照明時及び反射時の開口率を共に90%近く確保できるという利点があり、照明時及び反射時のパネル輝度及びコントラストを向上させることが可能である。

(第四の実施例)

以下、本発明における第四の実施例について、図18を用いて説明する。

【0095】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明

は省略する。第一の実施例と比較した場合の本実施例の差異は、低消費電力 D A 変換器 6 の構成であり、以下これに関して述べる。

【 0 0 9 6 】

図 1 8 は第四の実施例である poly-Si TFT 液晶表示パネルにおける、低消費電力 D A 変換器 6 の一列分の基本単位の回路構成図であり、第一の実施例における図 6 に相当する。フレームメモリ 7 から出力されたデータは各ビット毎にインバータ 1 4 1, 1 4 2 及びインバータ 1 4 3 に入力し、両者の出力はフィールド切り替えスイッチ 1 4 4 を介してアナログ信号線 6 6 に接続される。なおフィールド切り替えスイッチ 1 4 4 は、フィールド信号によって制御されている。

【 0 0 9 7 】

本低消費電力 D A 変換器 6 は、バッファないし 1 ビットの D A 変換器として動作する。フレームメモリ 7 から出力されたデータは 1 ビットで一単位の表示データを表している。これに対してインバータ 1 4 1, 1 4 2 及びインバータ 1 4 3 は 1 ビットから 0 V ないし 5 V の電源電圧へのバッファ処理を行い、出力をアナログ信号線 6 6 に印加する。本実施例においても、液晶の共通電極をフィールド間で 0 / 5 V の交流に駆動している。このときアナログ信号線 6 6 に印加される出力は、例えば同じ黒色でもフィールド間で 5 / 0 V と反転させなければならない。そのためにフィールド切り替えスイッチ 1 4 4 は、インバータ 1 4 1, 1 4 2 或いはインバータ 1 4 3 の出力を選択することによって、アナログ信号線 6 6 に印加する出力電圧をフィールド間で反転させる。

【 0 0 9 8 】

本実施例においては「低消費電力表示モード」時に各表示画素に入力されるアナログ画像信号を 1 ビット（2 階調＝8 色）に限定したことによって、フレームメモリ 7 の占有面積の低減や、D A 変換器における消費電力の削減を更に図ることができる。

（第五の実施例）

以下、本発明における第五の実施例について、図 1 9 を用いて説明する。

【 0 0 9 9 】

図 1 9 は第五の実施例である poly-Si TFT 液晶表示パネルの構成図であ

る。

【 0 1 0 0 】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明は省略するが、第一の実施例と比較した場合の本実施例の差異は、高精度 D A 変換器 1 4 6 及びラインメモリ 1 4 7 が単結晶 S i 基板 1 4 8 上に L S I として構成されていることである。なおここで高精度 D A 変換器 1 4 6 及びラインメモリ 1 4 7 の回路構成及び動作は、第一の実施例と同様である。

【 0 1 0 1 】

本実施例においては、高精度 D A 変換器 1 4 6 及びラインメモリ 1 4 7 を単結晶 S i 基板 1 4 8 上に L S I として構成し、ガラス基板 1 9 に実装することによって、「高品位表示モード」で用いる駆動回路面積の縮小を図っている。ガラス基板 1 9 に比較して、単結晶 S i 基板 1 4 8 は熱工程に対する収縮等が著しく小さいためにプロセス時における合せ精度が良好であり、微細加工による回路面積の縮小が可能であるからである。

【 0 1 0 2 】

なお上記の単結晶 S i 基板 1 4 8 上に設けられた L S I としては、一般に a - S i T F T 向けドライバ L S I として開発、量産されている部品をそのまま流用することも可能であるし、更にまた 8 ビットの D A 変換器を搭載する高精度ドライバ L S I を用いることも可能であることは言うまでもない。

(第六の実施例)

以下、本発明における第六の実施例について、図 2 0 を用いて説明する。

【 0 1 0 3 】

図 2 0 は第六の実施例である poly - S i T F T 液晶表示パネルの構成図である。

【 0 1 0 4 】

本実施例の主な構成および動作は、第五の実施例のそれと同様であるので詳細な説明は省略するが、第五の実施例と比較した場合の本実施例の差異は、単結晶 S i 基板 1 4 8 に設けられた高精度 D A 変換器 1 4 6 の出力が信号線 5 には直接接続されずに、途中で信号線選択スイッチ 1 5 0 を介していることである。

【 0 1 0 5 】

信号線選択スイッチ 1 5 0 はガラス基板 1 9 上にpoly-Si TFT回路を用いて設けられており、高精度DA変換器 1 4 6 から入力されたアナログ画像信号を、1 水平表示期間内に複数の信号線 5 に順次振り分ける役割を有する。

【 0 1 0 6 】

本実施例においては信号線選択スイッチ 1 5 0 を設けたことにより、単結晶Si基板 1 4 8 のガラス基板 1 9 に対する配線接続点数を低減することができる。なお本実施例では信号線選択スイッチ 1 5 0 は 2 本の信号線を選択しているために、上記配線接続点数は第五の実施例の場合の半分となっているが、選択スイッチ 1 5 0 の選択する信号線を n 本 (n は信号線本数以下の自然数) として、上記配線接続点数を信号線本数の約 $1/n$ とすることが可能であることは明らかである。

(第七の実施例)

以下、本発明における第七の実施例について、図 2 1 を用いて説明する。

【 0 1 0 7 】

図 2 1 は第七の実施例であるpoly-Si TFT液晶表示パネルの構成図である。

【 0 1 0 8 】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので詳細な説明は省略するが、第一の実施例と比較した場合の本実施例の構造上の差異は、SRAMを用いたフレームメモリ 7 に代えて、DRAMを用いたフレームメモリ 1 5 1 を用いていることである。

【 0 1 0 9 】

本実施例の動作も基本的に第一の実施例と同様であるが、一秒間に 6 0 回の表示画素に対するフレームメモリ 1 5 1 からの表示データ書き込みの際に、同時にフレームメモリ 1 5 1 内のDRAMセルのリフレッシュも行っている。

【 0 1 1 0 】

本実施例ではこのようにフレームメモリにDRAMセルを用いることによって、フレームメモリ 1 5 1 のセル面積を簡略化し、フレームメモリの面積を縮小す

ることによって、ガラス基板 1 9 の寸法をより小型にすることができる。

【 0 1 1 1 】

なお本実施例ではフレームメモリ 7 を特に D R A M 構成としたが、一方これとは別にフレームメモリ 1 3 を S R A M とした構成が可能であることも明らかである。

(第八の実施例)

以下図 2 2 を用いて、本発明における第八の実施例に関して説明する。

【 0 1 1 2 】

図 2 2 は第八の実施例である画像表示端末 1 6 3 の構成図である。

【 0 1 1 3 】

無線インターフェース (I / F) 回路 1 6 1 には、圧縮された画像データが外部から bluetooth 規格に基づく無線データとして入力し、無線 I / F 回路 1 6 1 の出力は I / O 回路 1 6 を介してバス 1 8 に接続される。バス 1 8 にはこの他に C P U 1 5 , T C O N 1 4 , フレームメモリ 1 3 等が接続されている。更に T C O N 1 4 の出力は poly - S i T F T 液晶表示パネル 1 6 4 に入力しており、 poly - S i T F T 液晶表示パネル 1 6 4 にはフレームメモリ 7 , 低消費電力 D A 変換器 6 , ゲート線シフトレジスタ 4 , 表示画素マトリクス 1 6 0 , 高精度 D A 変換器 1 1 , ラインメモリ 1 2 が設けられている。なお画像表示端末 1 6 3 には更に、電源 1 6 2 およびバックライト 1 7 が設けられており、バックライト 1 7 は I / O 回路 1 6 により制御されている。なおここで poly - S i T F T 液晶表示パネル 1 6 4 は、先に延べた第一の実施例と同一の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【 0 1 1 4 】

以下に本第八の実施例の動作を説明する。始めに I / F 回路 1 6 1 は圧縮された画像データを外部から取り込み、この画像データを I / O 回路 1 6 を介して C P U 1 5 及びフレームメモリ 1 3 に転送する。 C P U 1 5 はユーザからの操作を受けて、必要に応じて画像表示端末 1 6 3 を駆動、或いは圧縮された画像データのデコード処理を行う。デコードされた画像データはフレームメモリ 1 3 に一時的に蓄積される。ここで「高品位表示モード」が選択された場合には、 C P U 1 5 の

指示に従ってフレームメモリ 1 3 から T C O N 1 4 を介して poly-S i T F T 液晶表示パネル 1 6 4 に画像データが入力され、表示画素マトリクス 1 6 0 は入力された画像を 1 行毎に順次表示する。このとき T C O N 1 4 は、同時に画像を表示するために必要な所定のタイミングパルスを出力する。なお poly-S i T F T 液晶表示パネル 1 6 4 が、これらの信号を用いて、表示画素アレイ 1 6 0 に画像を表示することに関しては、第一の実施例で述べたとおりである。なおこのとき I / O 回路 1 6 は必要に応じてバックライト 1 7 を点灯させる。なおここで電源 1 6 2 には二次電池が含まれており、これらの装置全体を駆動する電源を供給する。

【 0 1 1 5 】

次に「低消費電力表示モード」が選択された場合には、C P U 1 5 の指示に従ってフレームメモリ 1 3 から T C O N 1 4 を介してフレームメモリ 7 に所定の画像データが送られた後に、フレームメモリ 1 3、ラインメモリ 1 2、高精度 D A 変換器 1 1 等の所定の回路部分の電源が遮断され、消費電力の削減が行われる。この時に poly-S i T F T 液晶表示パネル 1 6 4 が、フレームメモリ 7 に書き込まれたデジタル表示データを用いて、表示画素マトリクス 1 6 0 に画像を表示することに関しては、第一の実施例で述べたとおりである。なおこのとき I / O 回路 1 6 は原則としてバックライト 1 7 を消灯させる。またフレームメモリ 1 3 と比較してフレームメモリ 7 のメモリ容量は著しく少ないため、フレームメモリ 1 3 からフレームメモリ 7 への画像データ転送に際しては、C P U 1 5 の指示により所定のデータ量削減が行われている。

【 0 1 1 6 】

本第八の実施例によれば、圧縮された画像データを元にした高品位な画像表示と、低消費電力とを両立させた画像表示端末を提供することができる。

(第九の実施例)

以下図 2 4 を用いて、本発明における第九の実施例に関して説明する。

【 0 1 1 7 】

図 2 4 は第九の実施例である画像表示パネルの画素構成図である。

【 0 1 1 8 】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので詳細な説明は省略するが、第一の実施例と比較した場合の本実施例の構造上の差異は、画素 170 の構成として、液晶表示セルに代えて電界発光効果 (Electro-luminescence、以下 EL と表記する) 表示セルを用いていることである。表示画素 170 は画素容量 174 と画素スイッチ 2 を有し、画素スイッチ 2 のゲートはゲート線 3 に、また画素スイッチ 2 の一端は信号線 5 に接続されているところまでは、第一の実施例の画素 10 の構成と類似している。しかし本実施例においては、画素スイッチ 2 と画素容量 174 はそのまま電流駆動 T F T 173 のゲートに入力されており、電流駆動 T F T 173 のドレイン側は EL ダイオード 172 を介して定電圧 V d が印加された定電圧線 171 に接続されている。

【 0 1 1 9 】

本実施例の画素部の動作を以下に説明する。ゲート線 3 が選択されてオン状態になると、信号線 5 に印加されていたアナログ信号電圧が画素スイッチ 2 を介して画素容量 174 に書き込まれ、ゲート線 3 によって画素スイッチ 2 が再びオフ状態になった後も、書き込まれたアナログ信号電圧が画素容量 174 に保持されるところまでは、第一の実施例の画素 10 の動作とほぼ同様である。しかし本実施例においては、上記アナログ信号電圧は電流駆動 T F T 173 のゲートに入力されるため、EL ダイオード 172 には上記アナログ信号電圧の値に応じた駆動電流が流れる。この駆動電流によって EL ダイオード 172 は上記アナログ信号電圧に対応した輝度で発光するため、本実施例は信号線 5 に印加されるアナログ信号電圧に応じた自発光表示を行うことができる。

【 0 1 2 0 】

本実施例においても他の実施例と同様に、高品位な画像表示と同時に、信号線 5 の駆動回路の低消費電力化を両立させることができる。

【 0 1 2 1 】

なお本実施例は自発光型ディスプレイパネルであるため、第一の実施例で述べた液晶層やバックライトが不要なこと、また液晶を有さないために画素に入力するアナログ信号電圧を交流駆動する必要が無いことは言うまでもない。

【 0 1 2 2 】

【発明の効果】

本発明によれば、低消費電力な画像表示装置を提供することができる。

【図面の簡単な説明】

【図 1】

第一の実施例である液晶表示パネルの構成図。

【図 2】

第一の実施例におけるフレームメモリの回路構成図。

【図 3】

第一の実施例におけるバッファないしラッチ回路の構成図。

【図 4】

第一の実施例における S R A M メモリセルの回路構成図。

【図 5】

第一の実施例におけるメモリセル動作タイミングチャート。

【図 6】

第一の実施例における D A 変換器基本単位の回路構成図。

【図 7】

第一の実施例におけるアナログ信号線から表示画素マトリクスまでの回路構成図。

【図 8】

第一の実施例におけるゲート線シフトレジスタの回路構成図。

【図 9】

第一の実施例における表示画素のレイアウト概要図。

【図 1 0】

第一の実施例におけるラインメモリの回路構成図。

【図 1 1】

第一の実施例における高精度 D A 変換器基本単位の回路構成図。

【図 1 2】

第一の実施例における高精度 D A 変換器動作タイミングチャート。

【図 1 3】

第二の実施例における「低消費電力表示モード」に用いるフレームメモリの回路構成図。

【図 1 4】

第二の実施例における S R A M メモリセルの回路構成図。

【図 1 5】

第二の実施例におけるメモリセル動作タイミングチャート。

【図 1 6】

第三の実施例における表示画素のレイアウト概要図。

【図 1 7】

第三の実施例における表示画素 A - A' 間の断面図。

【図 1 8】

第四の実施例における D A 変換器基本単位の回路構成図。

【図 1 9】

第五の実施例である液晶表示パネルの構成図。

【図 2 0】

第六の実施例である液晶表示パネルの構成図。

【図 2 1】

第七の実施例である液晶表示パネルの構成図。

【図 2 2】

第八の実施例である画像表示端末の構成図。

【図 2 3】

従来の技術を用いた液晶表示パネルの構成図。

【図 2 4】

第九の実施例である画像表示パネルの画素構成図。

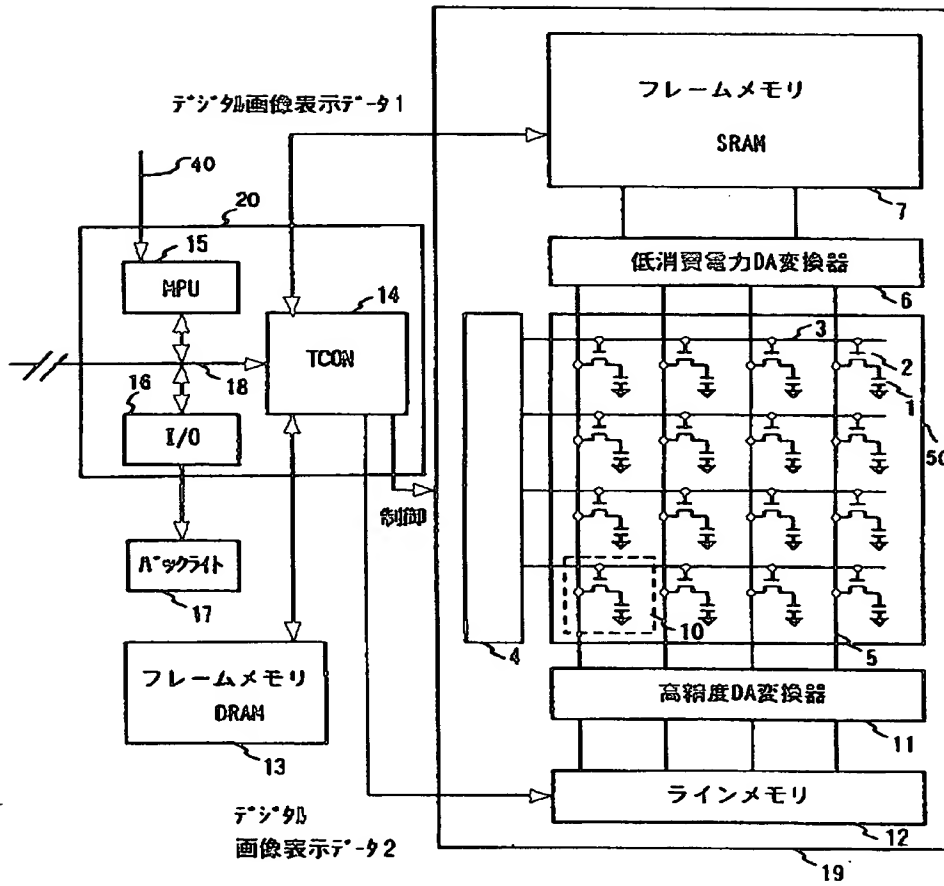
【符号の説明】

1 …液晶容量、 2 …画素スイッチ、 3 …ゲート線、 4 …ゲート線シフトレジスタ、 5 …信号線、 6 …低消費電力 D A 変換器、 7 …フレームメモリ、 1 1 …高精度 D A 変換器、 1 2 …ラインメモリ、 1 3 …フレームメモリ、 1 9 …ガラス基板、 2 0 …制御部、 4 0 …モード切り替え命令、 5 0 …表示部。

【書類名】 図面

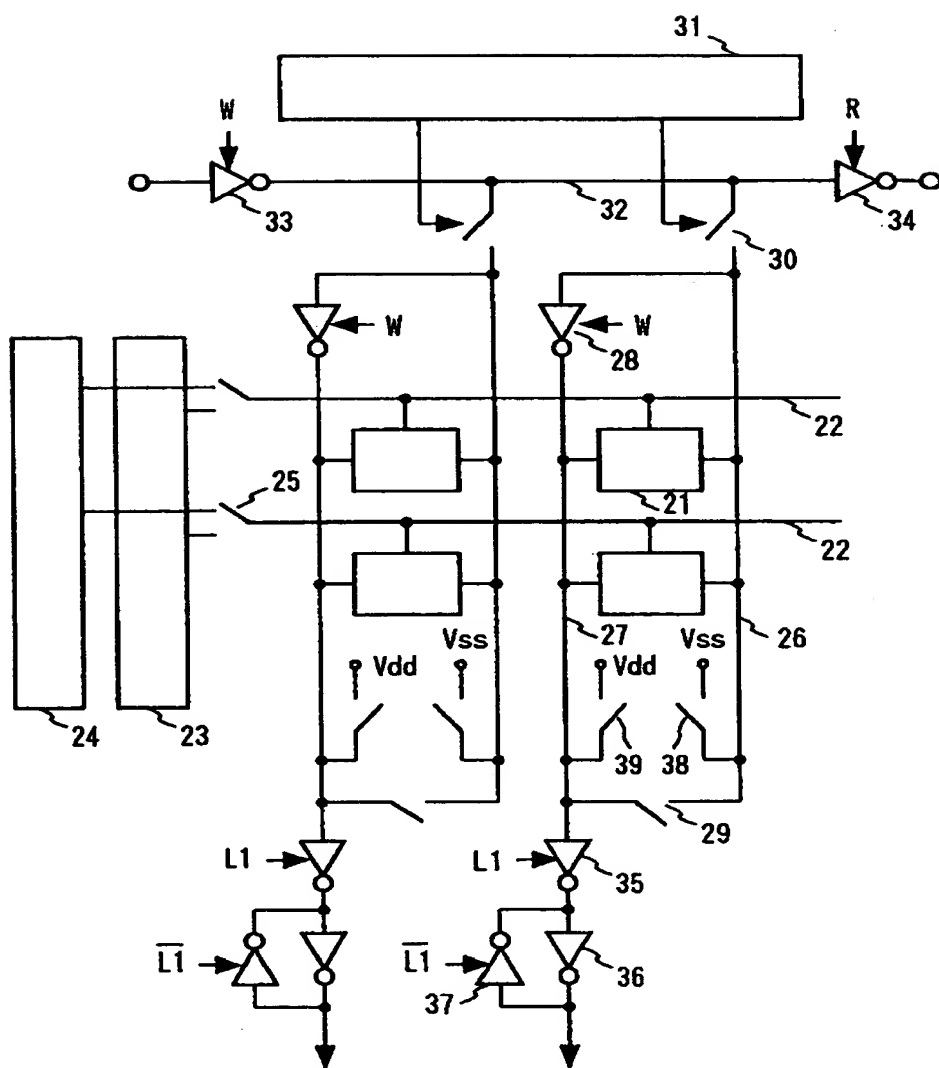
【図 1】

図 1



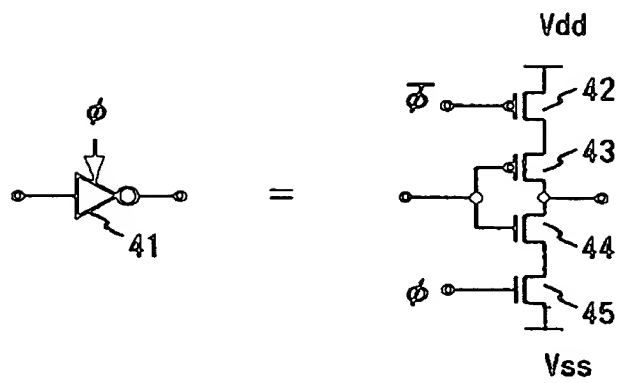
【図 2】

圖 2



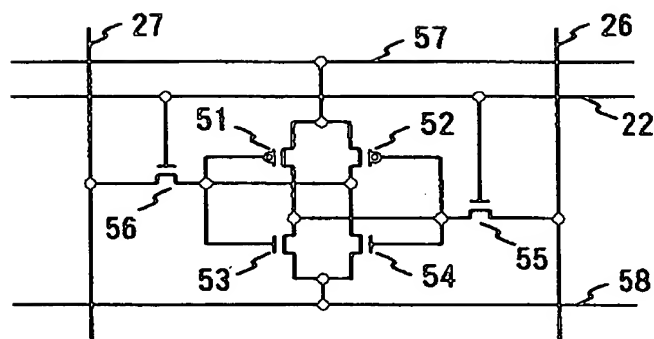
【図 3】

図 3



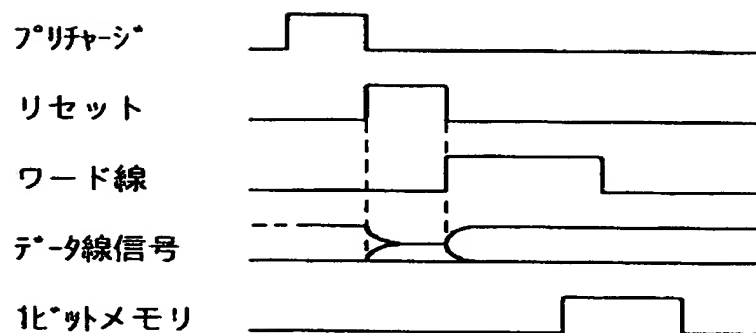
【図 4】

図 4

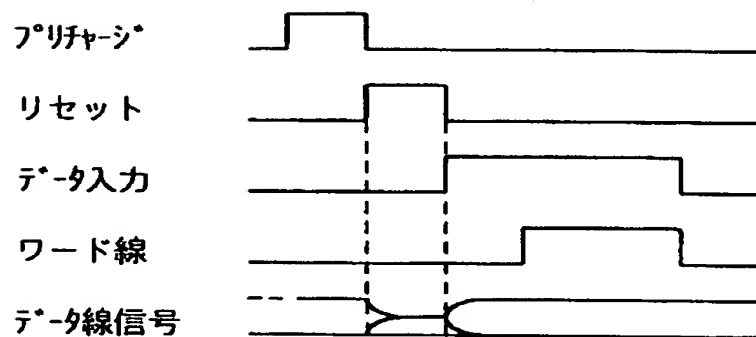


【図 5】

図 5



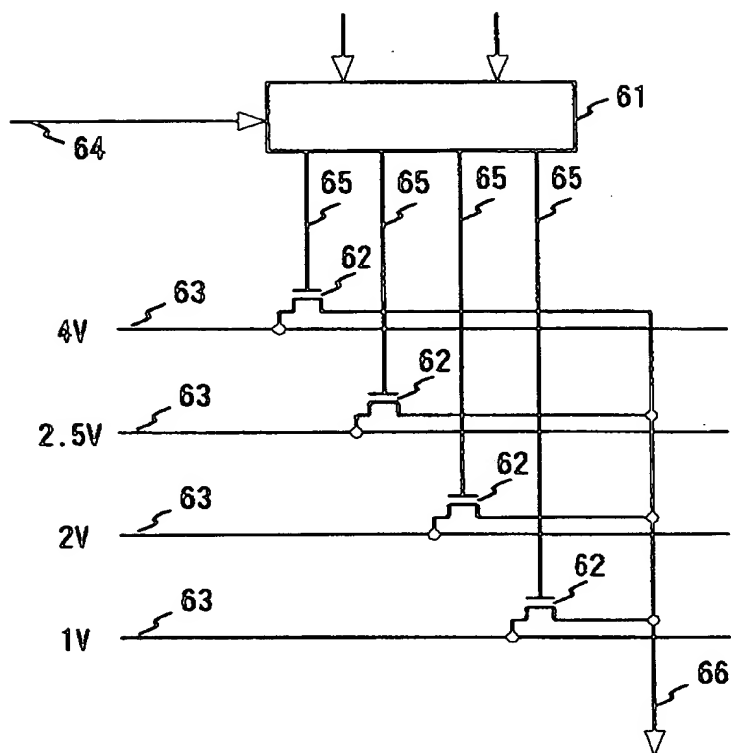
(a)読み出し



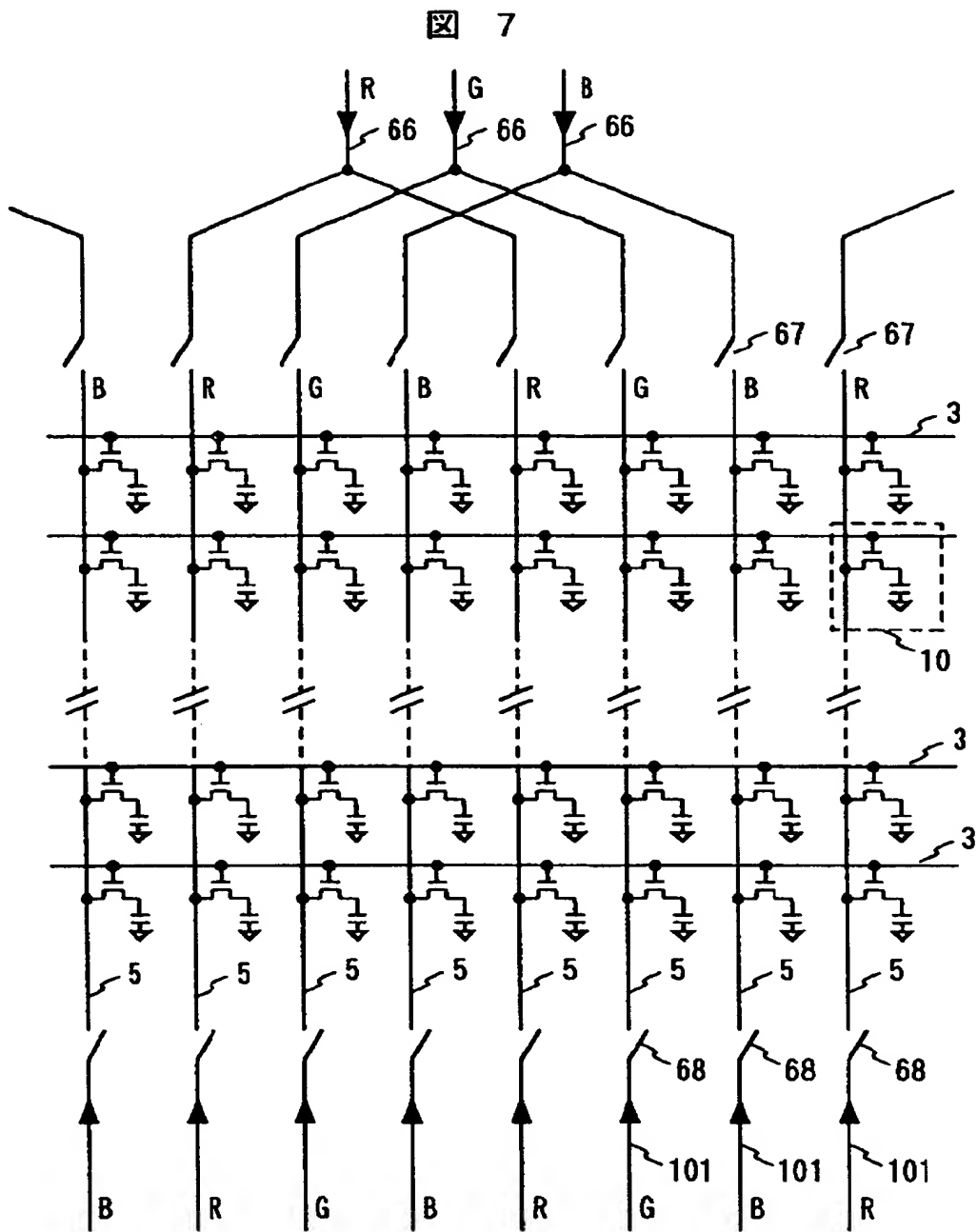
(b)書き込み

【図 6】

図 6

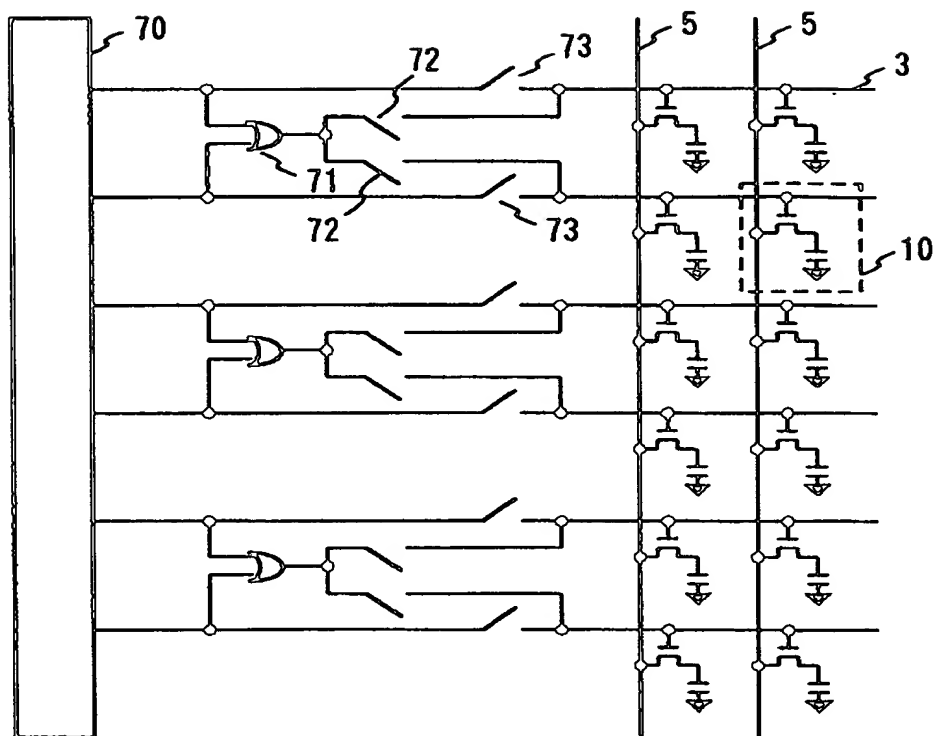


【図 7】



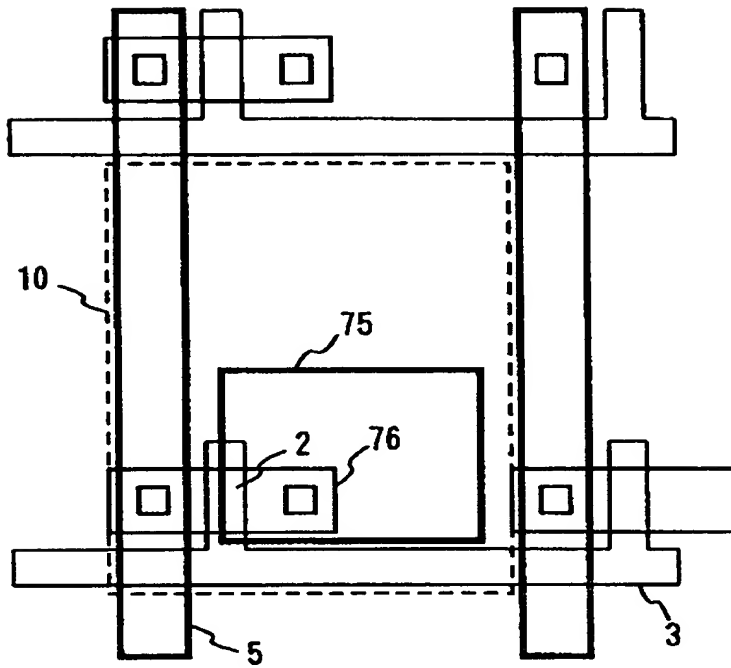
【図 8】

図 8



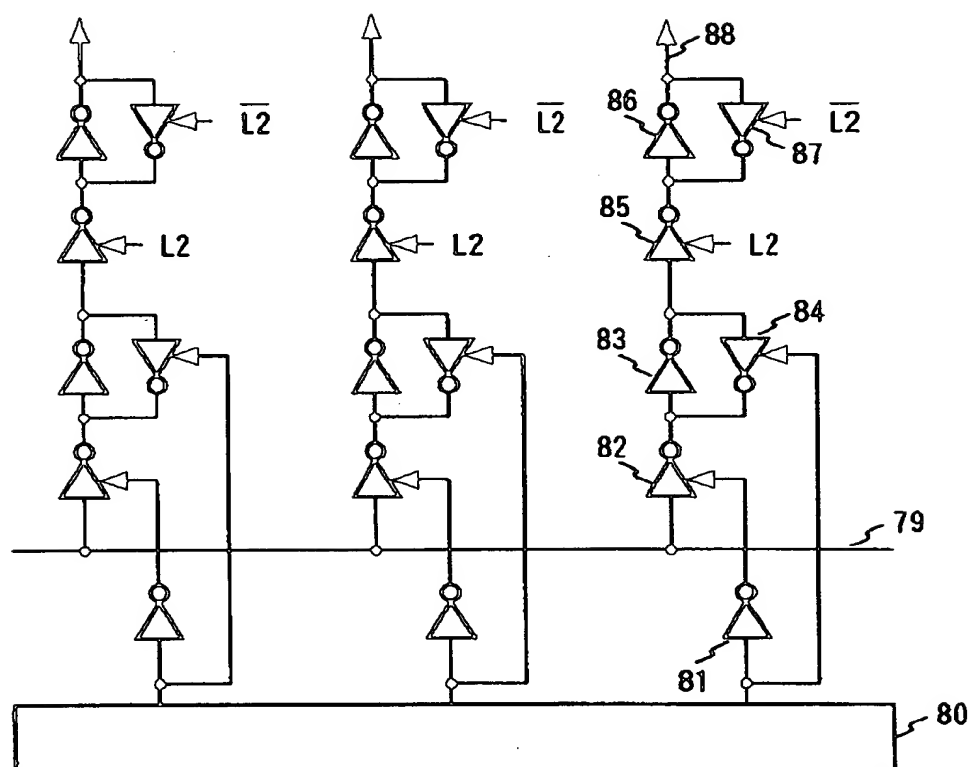
【図 9】

図 9



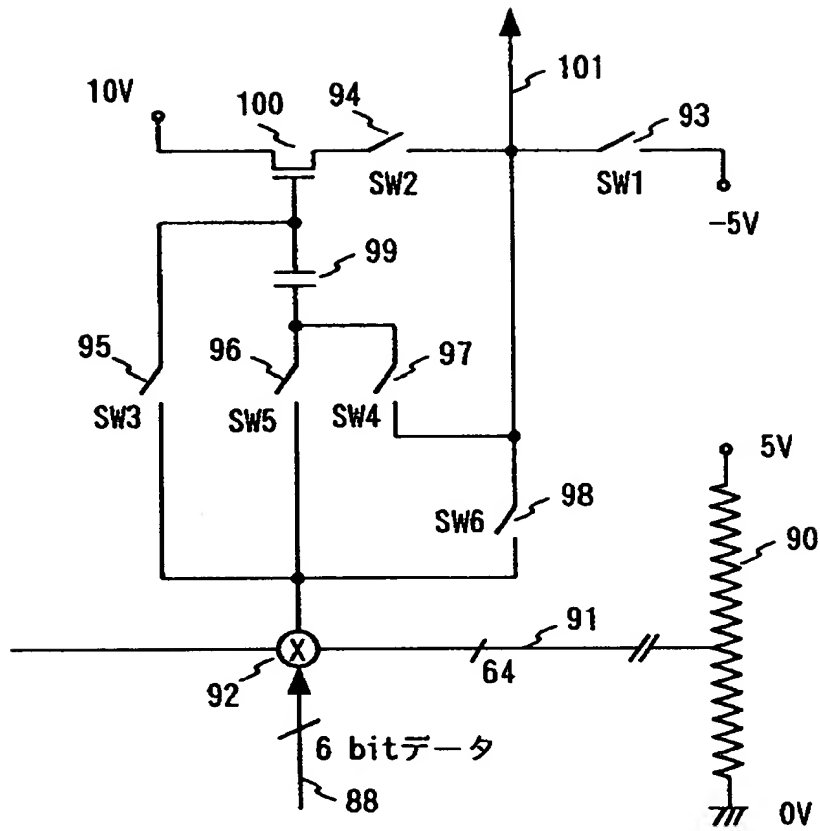
【圖 10】

圖 10



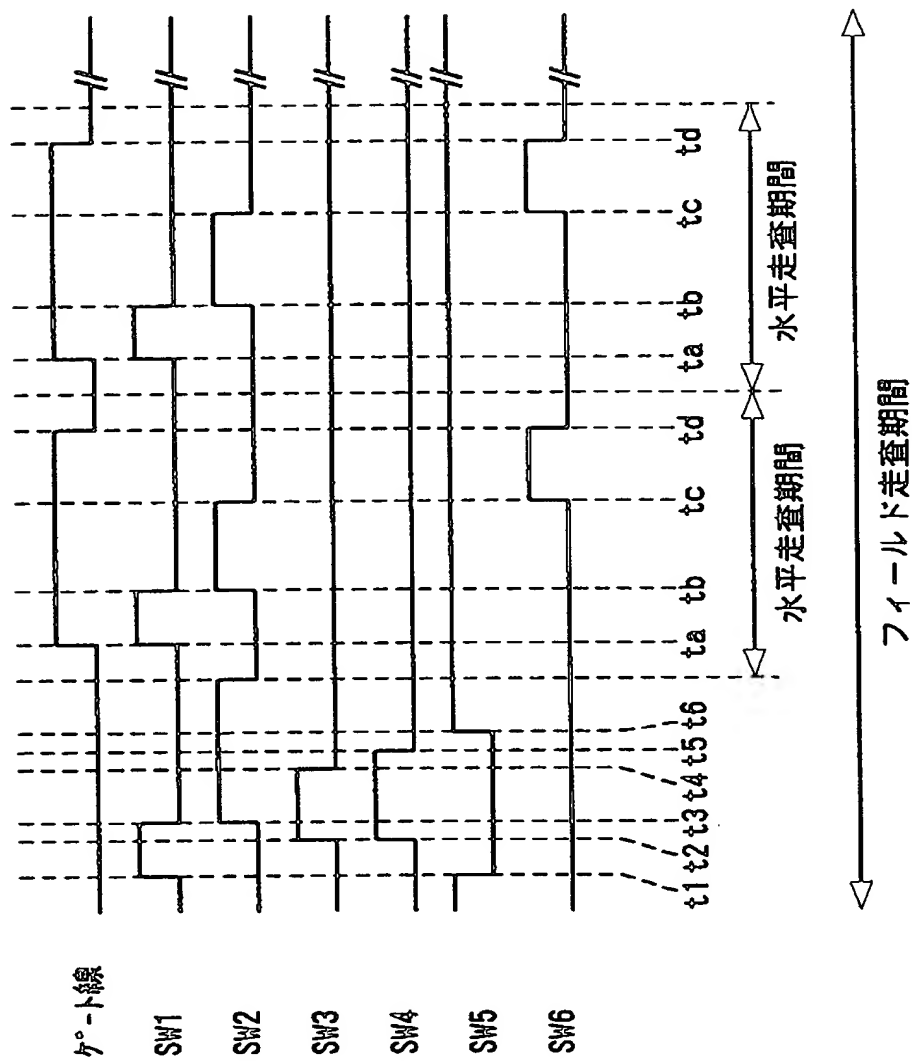
【図 1 1】

図 11



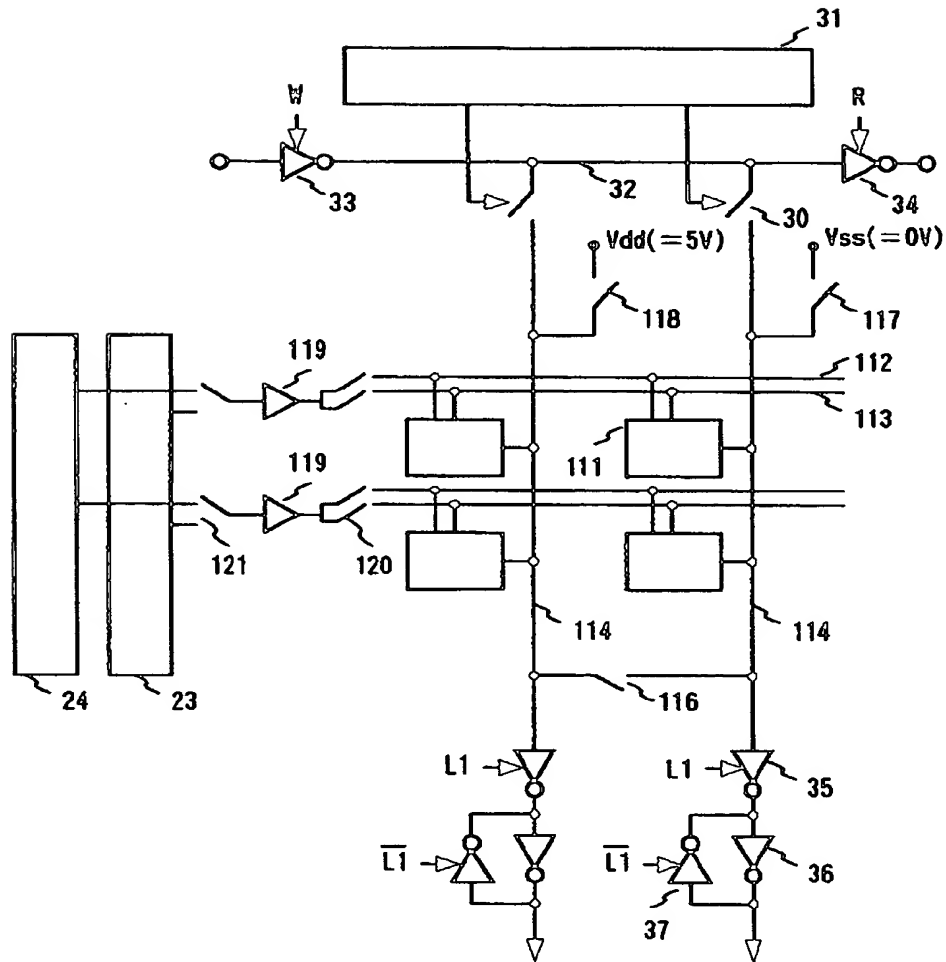
【図 1 2】

図 12



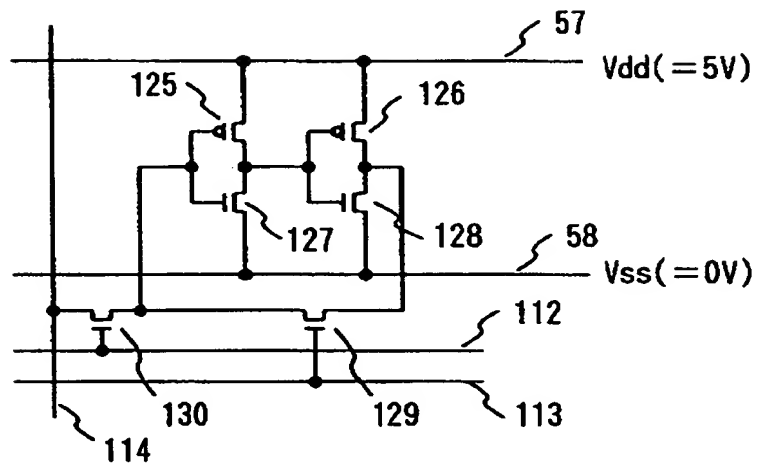
【図 13】

図 13



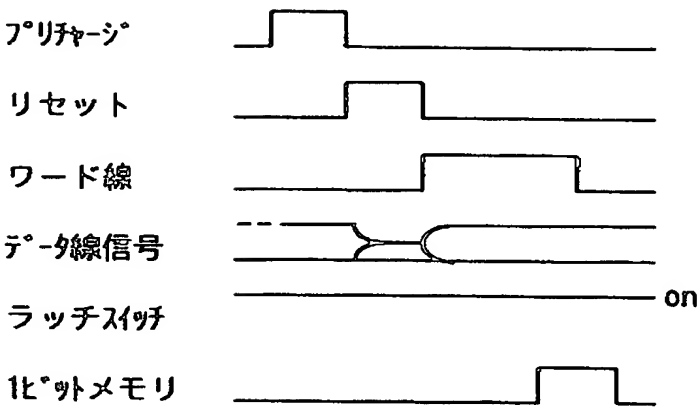
【図 1 4】

図 14

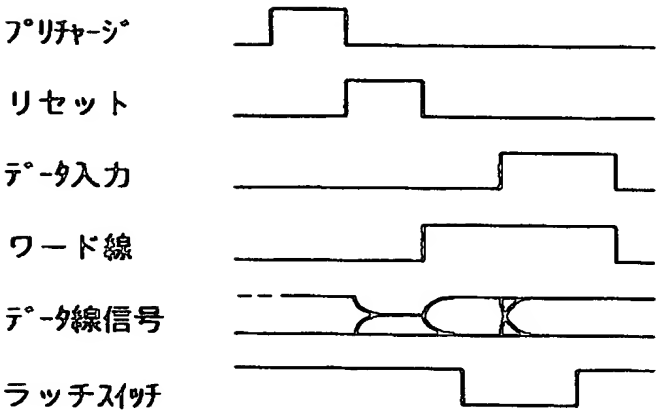


【図 1 5】

図 15



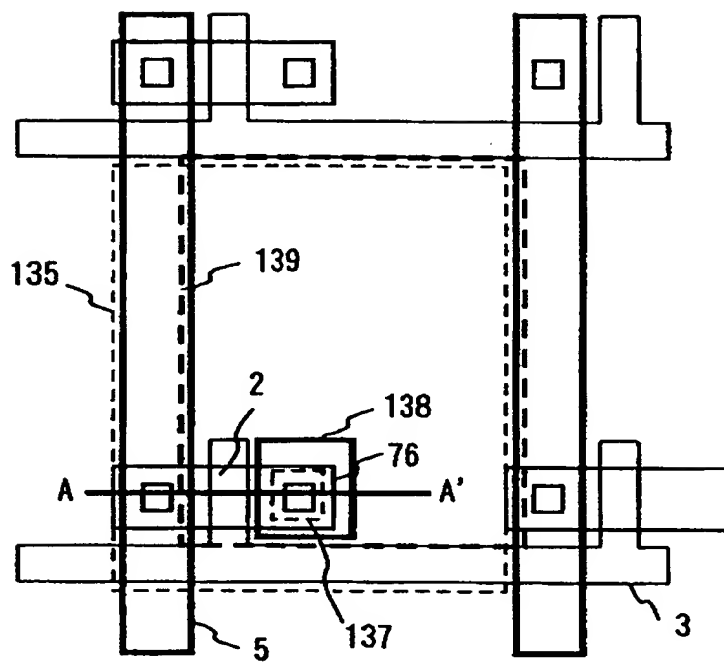
(a)読み出し



(b)書き込み

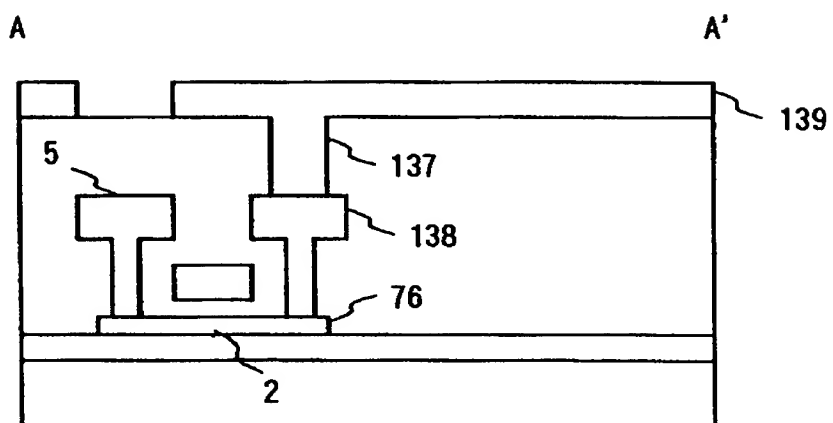
【図 1 6】

図 16



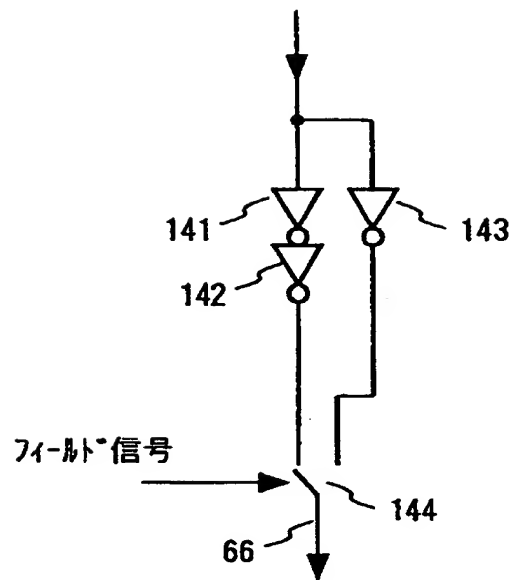
【図 1 7】

図 17



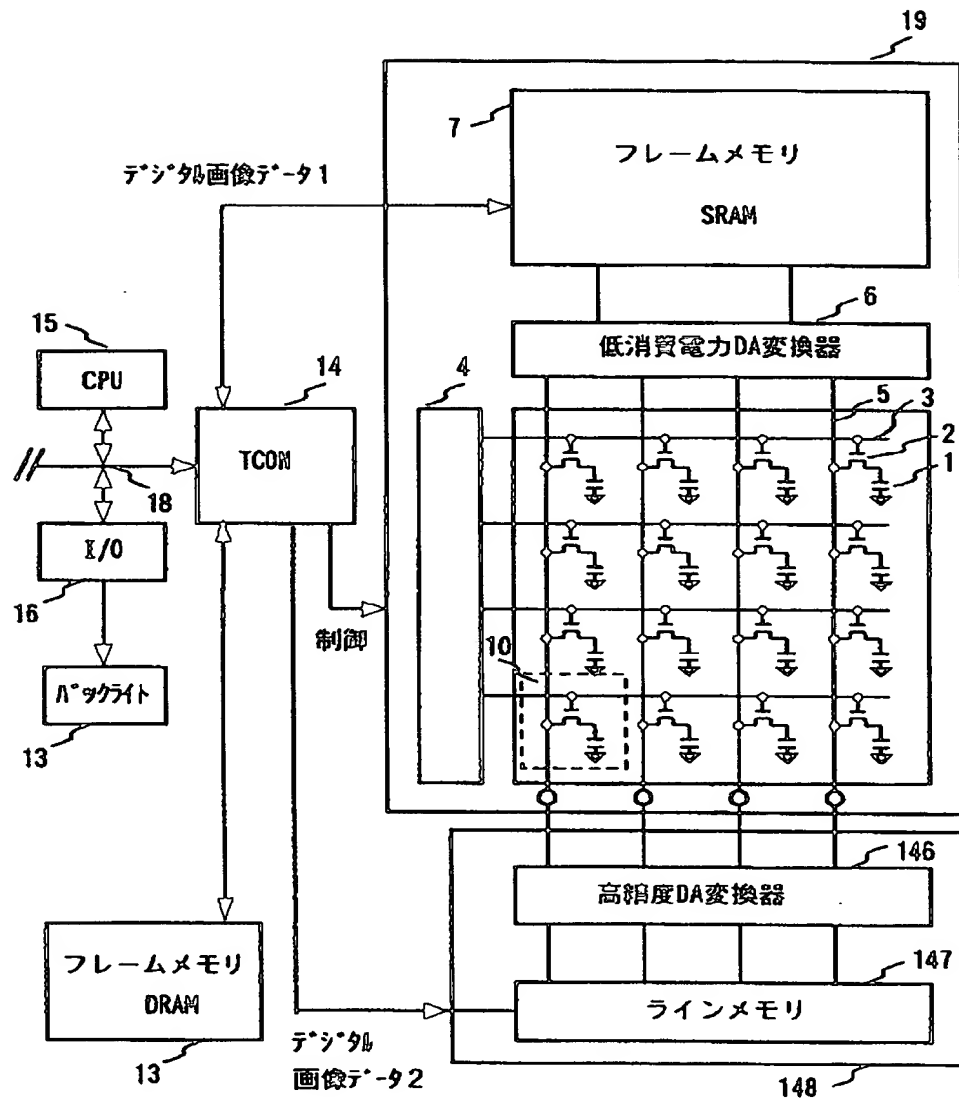
【図 1 8】

図 18



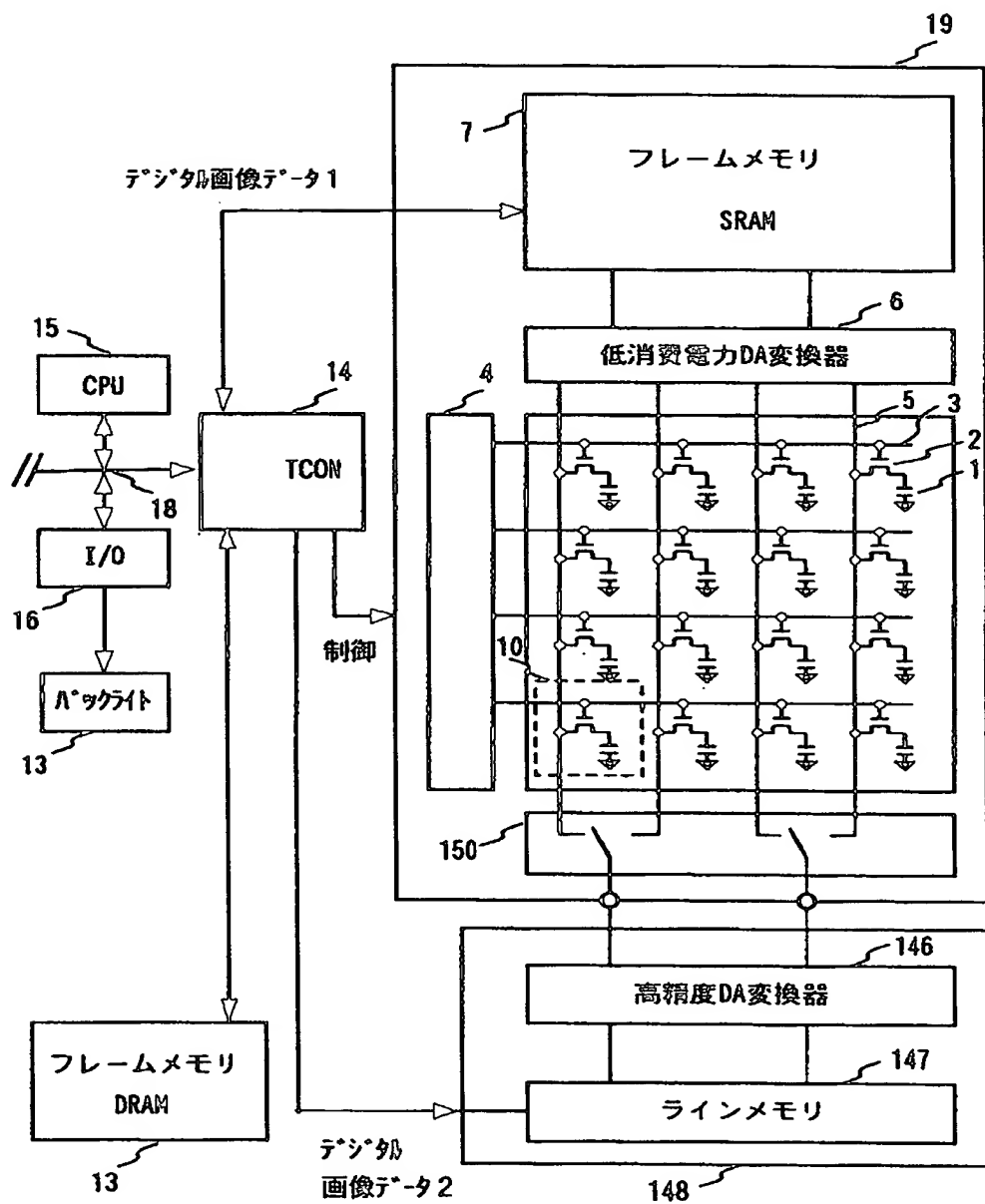
【図 19】

図 19



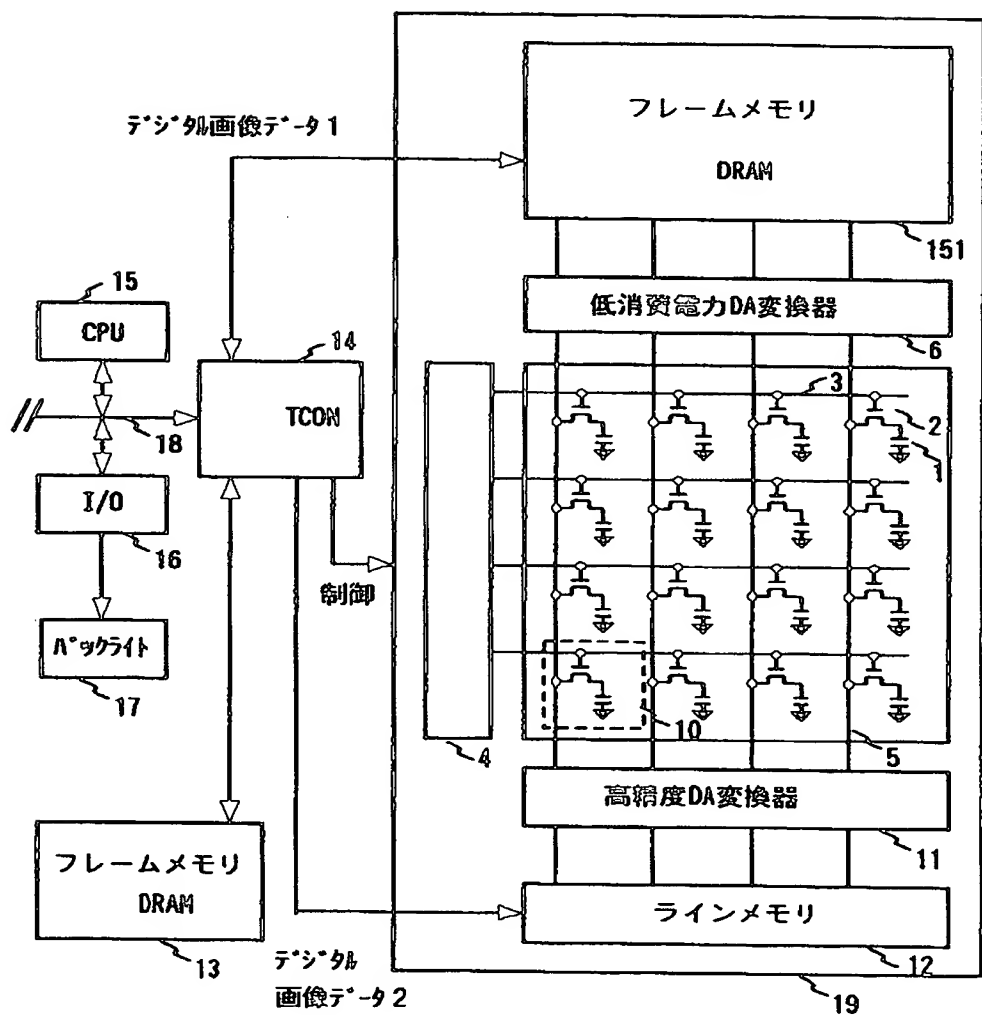
【図20】

図 20



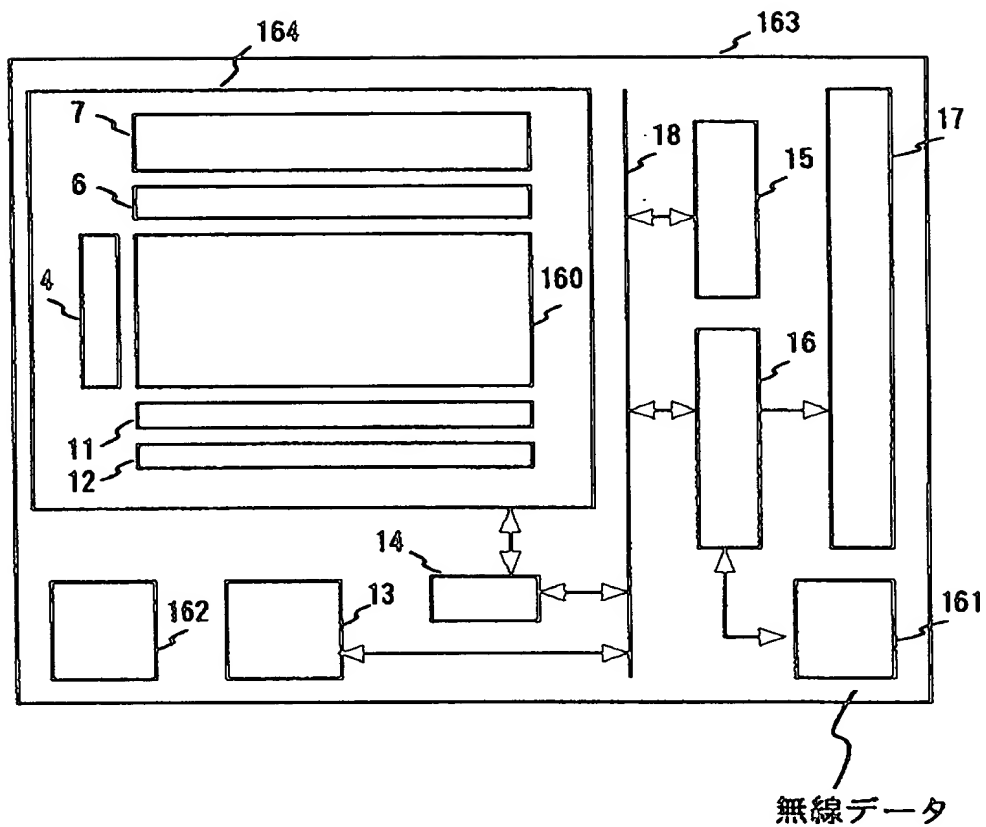
【図21】

図 21



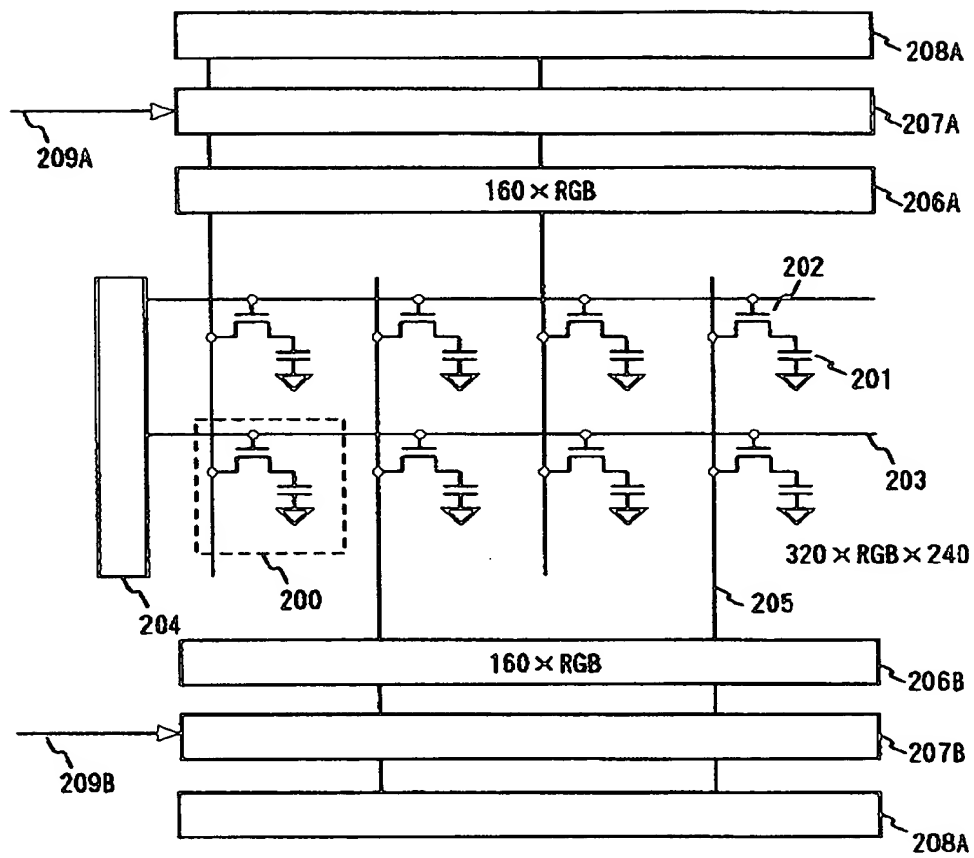
【図 2 2】

図 22



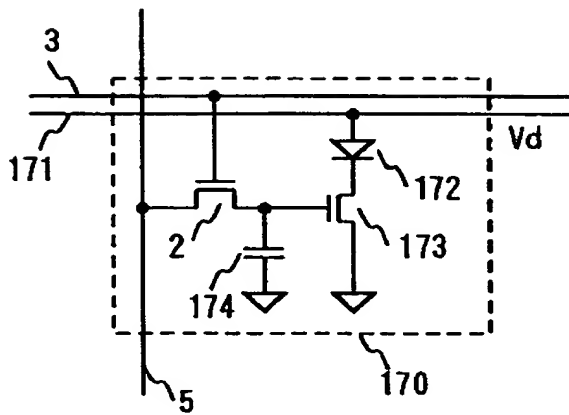
【図 2 3】

図 23



【図 2 4】

図 24



【書類名】 要約書

【要約】

【課題】

画像表示装置の低消費電力化を実現する。

【解決手段】

複数の画素 1 0 により構成された表示部 5 0 と、この表示部 5 0 の制御を行う制御部 2 0 を有する画像表示装置で、デジタル表示データをアナログ画像信号に変換する D A 変換部を有し、この D A 変換部は、第 1 の D A 変換部（低消費電力 D A 変換器）と、第 2 の D A 変換部（高精度 D A 変換器 1 1）により構成されて、この 2 つの D A 変換部を動作時の消費電力の点で比較すると、第 1 の D A 変換部の動作時の消費電力は、前記第 2 の D A 変換部の動作時の消費電力よりも小さいというもので、制御部 2 0 の命令に応じて第 1 の D A 変換部と第 2 の D A 変換部のどちらかを動作させて表示部 5 0 に変換したアナログ画像信号を出力し、表示部 5 0 は制御部 2 0 の命令に応じて表示部 5 0 の独立表示画素の数を変えてアナログ画像信号に応じて表示を行う。

【選択図】 図 1

認 定 ・ 付 加 情 報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 0 - 2 0 1 4 4 2 |
| 受付番号 | 5 0 0 0 5 0 3 8 4 3 5 |
| 書類名 | 特許願 |
| 担当官 | 第二担当上席 0 0 9 1 |
| 作成日 | 平成 1 2 年 6 月 3 0 日 |

< 認定情報・付加情報 >

【提出日】 平成12年 6月29日

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所